

(11)Publication number : 06-082754

(43)Date of publication of application : 25.03.1994

(51)Int.Cl.

G02F 1/133

G02F 1/133

G02F 1/136

G09G 3/36

H01L 29/784

(21)Application number : 05-173984

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 14.07.1993

(72)Inventor : WATANABE YOSHIHIRO
MASUDA YOICHI

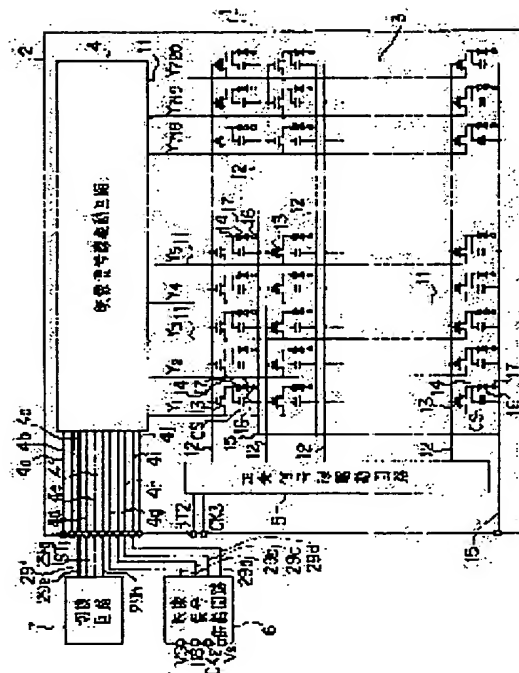
(30)Priority

Priority number : 04189151 Priority date : 16.07.1992 Priority country : JP

(54) ACTIVE MATRIX TYPE DISPLAY DEVICE**(57)Abstract:**

PURPOSE: To miniaturize an active matrix type display device and sharply improve yield in a driving circuit integrated type device by simultaneously selecting a plurality of video signal lines so that even a shift resistor with slow operating speed is operable at high speed as a display device, and suppressing the enlargement of an external circuit.

CONSTITUTION: An active matrix type display device is provided with a video signal supplying circuit 6 for sampling and distributing video signals, outputting the divided video signals to a plurality of video input lines 11 with their timings being conformed to each other; and a video signal line driving circuit 4 having a plurality of resistors A1,... every stage of shift resistors 41,..., optionally selecting one resistor every stage, and simultaneously outputting the shift output from this resistor A1,... every stage and the signal from the video signal supplying circuit 6 to one set of video signal lines.

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]. Are characterized by comprising the following. An active matrix type display which has a liquid crystal display section which consists of a picture element electrode installed via a switching element

arranged at each crossing parts of a video signal line of a $K \times n$ book which makes 1 set K book arranged at matrix form, and comprises an n -tuple, scanning signal lines of m book, these video signal lines, and a scanning signal line.

A video-signal supply circuit provided with a timing-control means to coincide timing of a dispensing means which samples a video signal to timing corresponding to one display pixel, and is distributed to a video signal of K book, and said distributed video signal, and to output to a video input line of K book.

A video signal line driving circuit which outputs simultaneously a video signal outputted via a video input line of the above-mentioned K book from the above-mentioned timing-control means to 1 set of each corresponding above-mentioned video signal lines.

[Claim 2]The active matrix type display according to claim 1, wherein the above-mentioned liquid crystal display section and a video signal line driving circuit are formed on the same substrate at one.

[Claim 3]The active matrix type display according to claim 1, wherein the above-mentioned video signal line driving circuit is provided with a shift register which is n stage.

[Claim 4]The active matrix type display according to claim 1, wherein the above-mentioned timing-control means is provided with two or more voltage holding means.

[Claim 5]The active matrix type display comprising according to claim 1:

The above-mentioned dispensing means are K sampling means.

A shift register of K stage which determines a sampling period of this sampling means.

[Claim 6]A liquid crystal display section which consists of a picture element electrode installed via a switching element arranged at each crossing parts of a video signal line of a $K \times n$ book which makes 1 set K book arranged at matrix form, and comprises an n -tuple, scanning signal lines of m book, these video signal lines, and a scanning signal line. A scanning signal line drive circuit which transmits a scanning signal to the above-mentioned scanning signal line one by one, and a video signal line driving circuit which has two or more shift registers of n stage corresponding to an n -tuple of the above-mentioned video signal line, and transmits a video signal to the above-mentioned video signal line one by one. An active matrix type display, wherein a change-over switch with which one of two or more of the shift registers of the above-mentioned video signal line driving circuit is chosen, and ** are formed on the same substrate by a selection signal from the outside at one.

[Claim 7]The active matrix type display according to claim 6, wherein two or more shift registers of the above-mentioned n stage are arranged by turns for every stage.

[Claim 8]A liquid crystal display section which consists of a picture element electrode installed via a switching element arranged at each crossing parts of a video signal line of a $K \times n$ book which makes 1 set K book arranged at matrix form, and comprises an n -tuple, scanning signal lines of m book, these video signal lines, and a scanning signal line. In an active matrix type display in which a scanning signal line drive circuit which transmits a scanning signal to the above-mentioned scanning signal line one by one, and a video signal line driving circuit which transmits a video signal to the above-mentioned video signal line one by one are formed on the same substrate at one, The above-mentioned video signal line driving circuit has a shift register of n stage corresponding to an n -tuple of the above-mentioned video signal line, An active matrix type display being that which has two or more registers for every stage of this shift register, and as which one register is arbitrarily chosen for every stage of the above-mentioned shift register.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the active matrix type display which displays based on a video signal.

[0002]

[Description of the Prior Art] As a small and lightweight plane display device which replaces a CRT display, a liquid crystal display, an electroluminescence display, etc. attract attention. Especially, a liquid crystal display is being put in practical use by various kinds of uses as a next-generation display.

[0003] As for an active matrix type liquid crystal display device, two or more video signal lines and scanning signal lines are arranged at matrix form. The auxiliary capacity line which forms auxiliary capacity (Cs) in each crossing portion between picture element electrodes via the thin film transistor as a switch element is formed, and the liquid crystal is pinched between the picture element electrode, and this picture element electrode and the counterelectrode which counters. And it has further a video signal line driving circuit connected to a video signal line, and a scanning signal line drive circuit connected to a scanning signal line, and the active matrix type liquid crystal display device is constituted.

[0004] If a scanning signal (Vg, on) is impressed to the gate electrode of a thin film transistor from a scanning signal line, a thin film transistor will serve as one and the voltage of the video signal (Vs) on a video signal line will be written in a picture element electrode and auxiliary capacity, respectively. And while the scanning signal (Vg, off) is impressed on the scanning signal line, it becomes off [a thin film transistor], the voltage (Vs) impressed to a picture element electrode and auxiliary capacity is held, a liquid crystal answers corresponding to this voltage (Vs), and a display is performed.

[0005] These days, much more highly minute-ization is required from the active matrix type display represented by such active matrix type liquid crystal display device, and a scanning signal line and a video signal line are in the tendency which increases also compared with the former in connection with this.

[0006] Then, in order to cancel the troublesomeness of connection between each signal wire and a drive circuit and to raise productivity, the display of a drive circuit integral type which formed the drive circuit and the matrix wiring section on the same substrate at one has been put in practical use.

[0007] In the active matrix type display of a drive circuit integral type, a highly efficient polycrystalline silicon thin film transistor is used for a drive circuit, and, thereby, is usually going to support the high speed drive of a drive circuit. However, even if it used the highly efficient polycrystalline silicon thin film transistor, it was difficult to cope with improvement in the speed of the working speed accompanying the increase in a scanning signal line or a video signal line.

[0008] Then, a shift register is divided into plurality and methods of constituting the drive circuit in which high-speed operation is possible using the thin film transistor which is insufficient of this working speed include the method of connecting in parallel and driving each.

[0009] So that it may be indicated by JP,59-83198,A or JP,2-153391,A, By dividing a video signal into a polyphase and supplying a video signal line one by one, according to the number of partitions of a video signal, the sample hold time of a video signal is set up for a long time, and there is a way this realizes a high-density display image.

[0010] Drawing 9 is an outline lineblock diagram of the video signal line driving circuit 81 of the active matrix type liquid crystal display device considered from the combination of such a Prior art. Quadrisectioned video-signal (Vs1) - (Vs4) is inputted into the video signal line driving circuit 81, and it is impressed by each video input lines 82, 83, 84, and 85. And the video signal line driving circuit 81 is provided with the four shift registers 86, 87, 88, and 89, A start pulse (ST1) as shown in drawing 10, respectively - (ST4) clock (CK1) - (CK4) are inputted, and shift register output (SR1, i) - (SR4, i) is outputted one by one synchronizing with this clock (CK1) - (CK4).

[0011] Each output (SR1, i) of the 1st shift register 86 is connected to the gate electrode of each thin film transistor 90 for controlling the timing which outputs the video signal (Vs1) supplied to the 1st video input line 82, respectively to each video signal line (Y1), (Y5), —, (Y (4i-3)). Each output (SR2, i) of the 2nd shift register 87 is connected to the gate electrode of each thin film transistor 91 for controlling the timing which outputs the video signal (Vs2) supplied to the 2nd video input line 83 to each video signal line (Y2), (Y6), —, (Y (4i-2)). Each output (SR3, i) of the 3rd shift register 88 is connected to the gate electrode of each thin film transistor 92 for controlling the timing which outputs the video signal (Vs3) supplied to the 3rd video input line 84 to each video signal line (Y3), (Y7), —, (Y (4i-1)). And each output (SR4) of the 4th shift register 89 is connected to the gate electrode of each thin film transistor 93 for controlling the timing which outputs the video signal (Vs4) supplied to the 4th video input line 85 to each video signal line (Y4), (Y8), —, (Y (4i)).

[0012]By adopting such composition, clock (CK) speed of each shift register can be made into one fourth and a low speed compared with the case where the video signal line driving circuit 81 is constituted from one shift register.

[0013]As shown in this figure, the time (T) of the output of each shift registers 86-89 can be set as about 4 times for a long time by making the shift registers 86-89 divide compared with the case where it constitutes from one shift register. The working speed required of the thin film transistors 90-93 by this may come to be late.

[0014]

[Problem(s) to be Solved by the Invention]Even if it uses the shift register of low speed operation by constituting a video signal line driving circuit as mentioned above, high-speed operation becomes possible as the whole drive circuit. And since time (T) of the output of each shift registers 86-89 can be lengthened, each video signal (Vs1) and applying time - (Vs4) can be set up for a long time, and, thereby, a good display image can be obtained.

[0015]However, when it does in this way and an active matrix type display is constituted, there are the following problems. Namely, if it constitutes as the shift registers 86-89 divide and being mentioned above, Not to mention increase of the circuit area resulting from division of the shift registers 86-89, Increase of the external circuit for being given from the start pulse (ST1) for driving each shift registers 86-89, respectively - (ST4) a clock (CK1) - (CK4) the outside will be caused, and the miniaturization of an active matrix type display will be made difficult.

[0016]With the composition mentioned above, since a connection wiring number with an external circuit also increases in proportion to the number of increases of a shift register, there is also a possibility of causing the fall of the productivity accompanying the increase in mounting work time.

[0017]An object of this invention is to provide the active matrix type display which high-speed operation can be possible for as a display even if such a technical problem was coped with, it accomplished and it constitutes a video-signal drive circuit from a circuit where working speed is slow, and can moreover raise the yield.

[0018]

[Means for Solving the Problem]An active matrix type display of this invention, K which makes K book 1 set and comprises an n-tuple, and a matrix wiring section which a video signal line of n book and a scanning signal line of m book are arranged at matrix form, and changes, A video-signal supply circuit provided with a timing-control means to coincide timing of a dispensing means which samples a video signal to timing corresponding to one display pixel, and is distributed to a video signal of K book, and a distributed video signal, and to output to a video input line of K book, It is characterized by having a video signal line driving circuit which outputs simultaneously a video signal outputted via a video input line of K book from a timing-control means to 1 set of each corresponding video signal lines, A matrix wiring section and a video signal line driving circuit are really formed on the same board at least.

[0019]And an active matrix type display is characterized by providing a video signal line driving circuit with a shift register which is n stage. It is characterized by providing a timing-control means with two or more voltage holding means.

[0020]***** is characterized by it having been alike and comprising the following.

Dispensing means are K sampling means.

A shift register of K stage which determines a sampling period of this sampling means.

[0021]In a device of a drive circuit integral type, a shift register which has two or more registers for every stage is formed, and it is characterized by choosing one register arbitrarily for every stage of that.

[0022]

[Function]As mentioned above, the active matrix type display of this invention, The dispensing means which a video-signal supply circuit samples a video signal to the timing corresponding to one display pixel, and distributes to the video signal of K book, Since it has a timing-control means to coincide the timing of this distributed video signal and to output to the video input line of K book and is constituted, the timing of the divided video signal will be in agreement, and it will be outputted to the video input line of K book.

[0023]Thereby, in this invention, the distributed video signal corresponding to two or more video signal lines which made K book 1 set can be chosen simultaneously. Therefore, according to this invention, the circuitry of a video signal line line drive circuit itself can be simplified, and, moreover, [the amount of / of a video signal], i.e., also make it late at about 1/K time, the number of partitions becomes possible about working speed.

[0024]Since the circuitry of the external circuit for controlling a video signal line line drive circuit can also

be simplified with simplification of a video signal line driving circuit, the large miniaturization of a device can be attained.

[0025]In the device of a drive circuit integral type, redundancy can be given to the shift register of a video signal line line drive circuit without complicating structure, and the yield can be improved by leaps and bounds.

[0026]

[Example]Hereafter, it explains, referring to drawings for one example of this invention. Drawing 1 is a circuitry figure of the active matrix type liquid crystal display device of this invention. This active matrix type liquid crystal display device 1 displays based on the video signal (Vs) by which an analog input is carried out.

It is constituted by the liquid crystal display section 3, the video signal line driving circuit 4 and the scanning signal line drive circuit 5 which are formed in one on the insulating substrate 2, the video-signal supply circuit 6, the switch circuit 7, and the control circuit (not shown).

[0027]The 480 scanning signal lines 12 and — are arranged at matrix form with the 720 video signal lines 11 with which the liquid crystal display section 3 made four the lot, and — (Y1-Y720), It has the matrix wiring section which comprises the auxiliary capacity line 15 connected to the common bias voltage which forms auxiliary capacity Cs between the picture element electrode 14 installed in each crossing portion via the thin film transistor 13 as a switch element, and the picture element electrode 14. The liquid crystal 17 is pinched and constituted between the picture element electrode 14 of this matrix wiring section, and the counterelectrode 16.

[0028]The video signal line driving circuit 4 drives each video signal line 11 and — based on analog video signal (Vsa1') - (Vsa4') supplied via external wiring from the video-signal supply circuit 6. Start pulse ST1 is supplied to the video signal line driving circuit 4 with the entrance cable 4a, Clock CK1 as shown in (a) of drawing 5 with the entrance cable 4b is supplied, the switching signal from the switch circuit 7 is supplied with the entrance cables 4c-4f, and four video signals from the video-signal supply circuit 6 as shown in (f) - (i) of drawing 5 by the video input lines 4g-4j are supplied.

[0029]The scanning signal line drive circuit 5 drives the scanning signal line 12 and —.

Start pulse ST2 is supplied with the entrance cable 4k, and clock CK3 is supplied with the entrance cable 4l.

[0030]The video-signal supply circuit 6 samples the analog video signal Vs supplied to the timing corresponding to one display pixel, distributes it to four video signals (K), coincides the timing of this distributed video signal, and is outputted from four video input lines (K).

Vertical Synchronizing signal VS, Horizontal Synchronizing signal HS, and clock CK2 and the analog video signal Vs are supplied.

[0031]The switch circuit 7 is constituted by the 4-bit DIP switch, for example.

It is made to validate the output from one shift register in the shift register 41-44 of the plurality of n stage by switching the change-over switch (it mentions later) in the above-mentioned video signal line driving circuit 4.

The output of the switch circuit 7 is supplied to each entrance cables 4c-4f of the video signal line driving circuit 4 via the external wiring 29e-29h.

[0032]The above-mentioned video-signal supply circuit 6 is constituted by the shift register 21, AND circuit 22, the analog-to-digital conversion machine 23, the 1st data latch part 24, the 2nd data latch part 25, the digital to analog part 27, and the amplification pars inflexa 28 as shown in drawing 2.

[0033]The shift register 21 serves as 4 stage constitution.

By level sampling signal (clock) CK2 which it is reset by Horizontal Synchronizing signal HS, and only the 1st step of shift output (SRs 2 and 1) starts operation in the state of one, and is equivalent to a horizontal sampling period. Shift output (SRs 2 and 1) - (SRs 2 and 4) shown in (b) - (e) of drawing 3 is outputted. Each latch circuitry 24a-24d of each shift output (SRs 2 and 1) of this shift register 21 - (SRs 2 and 4) the 1st data latch part 24 is supplied, respectively.

[0034]The above-mentioned shift output (SRs 2 and 1) is supplied to the latch circuitry 24a, a shift output (SRs 2 and 2) is supplied to the latch circuitry 24b, a shift output (SRs 2 and 3) is supplied to the latch circuitry 24c, and a shift output (SRs 2 and 4) is supplied to 24 d of latch circuitry.

[0035]A shift output (SRs 2 and 4) is supplied to one input edge of AND circuit 22 while it is supplied to the start input of the shift register 21. The shift register 21 returns to the state of one of the 1st step of

shift output (SRs 2 and 1) again, after one [the 4th step of shift output (SRs 2 and 4)].

[0036]AND circuit 22 takes the shift output (SRs 2 and 4) of the shift register 21, and the logical product of level sampling signal CK2.

The logical product output ST ((j) of drawing 3) is supplied to each latch circuitry 25a-25d of the 2nd data latch part 25.

[0037]The analog-to-digital conversion machine 23 changes an analog video signal (Vs) as shown in (a) of drawing 3 supplied into a 10-bit digital video signal (Vsd).

This digital video signal (Vsd) is supplied to each latch circuitry 24a-24d of the 1st data latch part 24.

[0038]The 1st data latch part 24 is constituted by the four latch circuitry 24a-24d, and each latch circuitry 24a-24d latches the digital video signal (Vsd) from the above-mentioned analog-to-digital conversion machine 23.

The latch (maintenance) timing is controlled by the shift output of the shift register 21 of 4 stage constitution.

That is, time distribution of the digital video signal (Vsd) from the above-mentioned analog-to-digital conversion machine 23 is carried out by the 1st data latch part 24 four at turn, and latch output (L1, 1) - (L1, 4) shown in (f) of drawing 3 - (i) is obtained.

[0039]The latch circuitry 24a latches the digital video signal (Vsd) from the analog-to-digital conversion machine 23 in the case of one of the 1st step of shift output (SRs 2 and 1) of the shift register 21. The latch circuitry 24b latches the digital video signal (Vsd) from the analog-to-digital conversion machine 23 in the case of one of the 2nd step of shift output (SRs 2 and 1) of the shift register 21. The latch circuitry 24c latches the digital video signal (Vsd) from the analog-to-digital conversion machine 23 in the case of one of the 3rd step of shift output (SRs 2 and 1) of the shift register 21. 24 d of latch circuitry latches the digital video signal (Vsd) from the analog-to-digital conversion machine 23 in the case of one of the 4th step of shift output (SRs 2 and 1) of the shift register 21.

[0040]An each latch circuitry [of the 1st data latch part 24 of the above / 24a-24d] latch output is outputted to each latch circuitry 25a-25d of the 2nd data latch part 25, respectively.

[0041]The 2nd data latch part 25 is constituted by the four latch circuitry 25a-25d, Each latch circuitry 25a-25d latches latch output (L1, 1) - (L1, 4) from the above-mentioned latch circuitry 24a-24d, respectively, when logical product output ST from above-mentioned AND circuit 22 is supplied.

Latch output (L2, 1) - (L2, 4) shown in (k) - (n) of each latch circuitry [25a-25d] drawing 3 is supplied to the digital to analog converters 27a-27d, respectively.

[0042]Namely, when the latch output (L1, 1) by the above-mentioned latch circuitry 24a-24d and incorporation - (L1, 4) are completed, Those latch output (L1, 1) - (L1, 4) is held in the latch circuitry 25a-25d, respectively, and is supplied to a latch output (L2, 1) - (L2, 4) the digital to analog converters 27a-27d of each latch circuitry [25a-25d].

[0043]Thus, it is arranged so that the time when the phase, i.e., potential, changes with the latch output (L1, 1) by which the digital video signal (Vsd) was distributed to four - (L1, 4) the 2nd data latch parts 25 may become simultaneous.

[0044]The digital to analog part 27 is constituted by the four digital to analog converters 27a-27d, and each digital to analog converters 27a-27d, In *****, the phase from the latch circuitry 25a-25d changes latch output (L2, 1) - (L2, 4) which is into analog video signal (Vsa1) - (Vsa4), respectively. An each digital to analog converters [27a-27d] output is supplied to the amplification inverting circuits 28a-28d.

[0045]The amplification pars inflexa 28 is constituted by the four amplification inverting circuits 28a-28d, and each amplification inverting circuits 28a-28d, While amplifying the analog video signal (Vsa1) and the pressure value - (Vsa4) from the digital to analog converters 27a-27d, respectively, It changes into analog video signal (Vsa1') - (Vsa4') which can drive the liquid crystal 17 by reversing the polarity for every field with a Vertical Synchronizing signal (VS).

An each amplification inverting circuits [28a-28d] output is supplied to each video input lines 4g-4j of the video signal line driving circuit 4 via the external wiring 29a-29d.

[0046]In such composition, operation of the video-signal supply circuit 6 is explained. First, an analog video signal (Vs) as shown in (a) of drawing 3 is supplied to the analog-to-digital conversion machine 23. Then,

an analog video signal (Vs) is changed into the digital video signal (Vsd) which is 10 bits by the analog-to-digital conversion machine 23, The digital video signal (Vsd) is held in order in each latch circuitry 24a-24d of the shift output (SRs 2 and 1) of the shift register 21 shown in (b) - (e) of drawing 3 - (SRs 2 and 4) the 1st data latch part 24.

[0047]For example, as shown in (f) of drawing 3 - (i), the pressure value Va as a latch output (L1, 1) is held in the latch circuitry 24a, The pressure value Vb as a latch output (L1, 2) is held in the latch circuitry 24b, the pressure value Vc as a latch output (L1, 3) is held in the latch circuitry 24c, and the pressure value Vd as a latch output (L1, 4) is held in 24 d of latch circuitry.

[0048]And when the incorporation of the latch output to the latch circuitry 24a-24d is completed, By logical product output ST from AND circuit 22, each latch circuitry 25a-25d, Latch output (L1, 1) - (L1, 4) from each latch circuitry 24a-24d is held, Latch output (L2, 1) - (L2, 4) which is each latch circuitry 25a-25d where those phases as shown in (k) - (n) of drawing 3 were arranged is supplied to the digital to analog converters 27a-27d, respectively. Thereby, the digital to analog converters 27a-27d change into analog video signal (Vsa1) - (Vsa4) latch output (L2, 1) - (L2, 4) in which the phase from the latch circuitry 25a-25d of ***** is, respectively, and are supplied to the amplification inverting circuits 28a-28d.

[0049]While these amplification inverting circuits 28a-28d amplify the analog video signal (Vsa1) and the pressure value - (Vsa4) from the digital to analog converters 27a-27d, respectively, By reversing the polarity for every field with a Vertical Synchronizing signal (VS), it changes into analog video signal (Vsa1') - (Vsa4') which can drive the liquid crystal 17, and each video input lines 4g-4j of the video signal line driving circuit 4 are supplied via the external wiring 29a-29d, respectively.

[0050]The video signal line driving circuit 4 is constituted by the shift register section 31, the change-over-switch part 32, and the sample hold section 33. The change-over-switch part 32 is constituted by the thin film transistors SW1-SWN as 720 change-over switches.

[0051]The sample hold section 33 is constituted by the 720 sample hold circuits V1-VN, and each sample hold circuit V1 and -- comprise the thin film transistor S1 as a change-over switch, --SN, and capacitor CD1 and --CDN, respectively.

[0052]The shift register section 31 is constituted by 180 steps of four shift registers (four lines) 41-44. D1, D2, and -- are connected [-- / the register A1 of each stage of each shift registers 41-44, A2, and / -- / B1, B-2, and] one by one with C1, C2, and --, respectively.

Each register A1, B1, C1, D1, A2, B-2, C2, D2, --, An-1, Bn-1, Cn-1, Dn-1, An, Bn, Cn, and Dn are arranged for every stage of each of these shift registers 41-44 at nesting form. Each register is constituted by the thin film transistor as a transfer gate, the capacitor for charge storages, etc.

[0053]Namely, clock CK1 (refer to (a) of drawing 5) from the entrance cable 4b is inputted common to each register of each shift registers 41-44, Start pulse ST1 from the entrance cable 4a is supplied to the 1st step of register A1, B1, C1, and D1, and each shift output of the 1st step of register A1, B1, C1, and D1, The 2nd step of register A2, B-2, C2, and D2 are supplied, respectively, and each shift output of --n-1 step 1 [register An-], Bn-1, Cn-1, and Dn-1 is supplied to the register An of eye n stage, Bn, Cn, and Dn, respectively.

[0054]Each shift output of the 1st step of register A1, B1, C1, and D1, The sauce of the thin film transistors SW1-SW4 is supplied, respectively, and each shift output of the 2nd step of register A2, B-2, C2, and D2, The sauce of the thin film transistors SW5-SW8 is supplied, respectively, and each shift output of --n-1 step 1 [register An-], Bn-1, Cn-1, and Dn-1, The sauce of thin film transistor SWN-7 - SWN-4 is supplied, respectively, and each shift output of the register An of eye n stage, Bn, Cn, and Dn is supplied to the sauce of thin film transistor SWN-3 - SWN, respectively.

[0055]One -**** of the switching signal from the above-mentioned switch circuit 7 is supplied and carried out via the entrance cables 4c-4f at the gate of the thin film transistors SW1-SWN. The entrance cable 4c is connected to the gate of thin film transistor SW1, SW5, SW9, --SWN-3, and the entrance cable 4d, It is connected to the gate of thin film transistor SW2, SW6, SW10, --SWN-2, and the entrance cable 4e, It is connected to the gate of thin film transistor SW3, SW7, SW11, --SWN-1, and the entrance cable 4f is connected to the gate of thin film transistor SW4, SW8, SW12, --SWN.

[0056]By this, when one [a switching signal is supplied to the entrance cable 4c, and / thin film transistor SW1, SW5, SW9, --SWN-3], When one [the register A1 A2, A3, --An-1, and the shift output from An are led to the latter part, and a switching signal is supplied to the entrance cable 4d, and / thin film transistor SW2, SW6, SW10, --SWN-2], When one [the register B1 B-2, B3, --n-1, and the shift output from Bn are led to the latter part, and a switching signal is supplied to the entrance cable 4e, and / thin film transistor SW3, SW7, SW11 and --SWN-1], When one [the register C1 C2, C3, --Cn-1, and the shift output from Cn are led to the latter part, and a switching signal is supplied to the entrance cable 4f, and / thin film

transistor SW4, SW8, SW12, —SWN], The register D1, D2, D3, —Dn-1, and the shift output from Dn are led to the latter part.

[0057]The shift output from the thin film transistors SW1—SWN is supplied to the gate of the thin film transistor S1 and —SN, and the video signal from the above-mentioned video-signal supply circuit 6 is supplied to it via the video input lines 4g-4h at those sauce.

[0058]Namely, the drain of the thin film transistors SW1-SW4 is connected to the gate of the thin film transistor S1 and —S4 in common, The drain of the thin film transistors SW5-SW8 is connected to the thin film transistor S5 and the gate of —S8 in common, The drain of — and thin film transistor SWN-7 - SWN-4 is connected to the gate of thin film transistor SN-7 - SN-4 in common, and the drain of thin film transistor SWN-3 - SWN is connected to the gate of thin film transistor SN-3 - SN in common. The video input line 4g is connected to the thin film transistor S1, S5, S9, and the gate of —SN-3, and the video input line 4h, It is connected to the gate of the thin film transistor S2, S6, S10, —SN-2, the video input line 4i is connected to the gate of the thin film transistor S3, S7, S11, —SN-1, and the video input line 4j is connected to the gate of thin film transistor S4, S8, S12, —SN.

[0059]By this, when one [the thin film transistor S1 and —], the analog video signal (Vsa1') from the video input line 4g is held by capacitor CD1, CD5, CD9, —CDN-3 one by one, The analog video signal (Vsa2') from the video input line 4h is held by capacitor CD2, CD6, CD10, —CDN-2 one by one, The analog video signal (Vsa3') from the video input line 4i is held by capacitor CD3, CD7, CD11, —CDN-1 one by one, and the analog video signal (Vsa4') from the video input line 4j is held by capacitor CD4, CD8, CD12, —CDN one by one.

[0060]The output of the above-mentioned sample hold circuits V1-VN, i.e., the holding voltage of the capacitors CD1-CDN, is supplied to Y1-Y720 as the video signal line 11 and —, respectively.

[0061]When one [according to such composition are one / the switching signal of the entrance cable 4c /, and / thin film transistor SW1, SW5, SW9, —SWN-3], The register A1 as the shift register 41, A2, A3, —An-1, and the shift output (refer to (o) - (q) of drawing 3 and (b) - (e) of drawing 5) from An are supplied to the thin film transistor S1 of each sample hold circuits V1-VN, and the gate of —SN. By this, when one [the thin film transistor S1 and —SN], The pressure value according to the video signal (refer to the (f) - (i) for drawing 5) which is supplied via the video input lines 4g-4h from the video-signal supply circuit 6 and which is quadrisected is charged by capacitor CD1 of each sample hold circuits V1-VN, —CDN.

[0062]As a result, according to the drive of the scanning signal line 12 by the charge-voltages value and the scanning signal line drive circuit 5 of each sample hold circuits V1-VN in the video signal line driving circuit 4, and —, the drive of the liquid crystal display section 3 is performed.

[0063]When one [are one / the switching signal of the entrance cable 4d / and / thin film transistor SW2, SW6, SW10, —SWN-2], The register B1 as the shift register 42, B-2, B3, —Bn-1, and the shift output from Bn are supplied to the thin film transistor S1 of each sample hold circuits V1-VN, and the gate of —SN. This operates like the case, one [the switching signal of the entrance cable 4c], when one [the thin film transistor S1 and —SN].

[0064]When one [are one / the switching signal of the entrance cable 4e / and / thin film transistor SW3, SW7, SW11, —SWN-1], The register C1 as the shift register 43, C2, C3, —Cn-1, and the shift output from Cn are supplied to the thin film transistor S1 of each sample hold circuits V1-VN, and the gate of —SN. This operates like the case, one [the switching signal of the entrance cable 4c], when one [the thin film transistor S1 and —SN].

[0065]When one [are one / the switching signal of the entrance cable 4f / and / thin film transistor SW4, SW8, SW12, —SWN], The register D1 as the shift register 44, D2, D3, —Dn-1, and the shift output from Dn are supplied to the thin film transistor S1 of each sample hold circuits V1-VN, and the gate of —SN. This operates like the case, one [the switching signal of the entrance cable 4c], when one [the thin film transistor S1 and —SN].

[0066]Therefore, if that in which at least one shift register can operate remains when there is damage selectively [— / the four shift registers 41 of the shift register section 31 in the video signal line driving circuit 4, and] inside and there is a thing which cannot be operated or, It can be made to operate thoroughly as the active matrix type liquid crystal display device 1.

[0067]As described above, analog video signal (Vsa1') - (Vsa4') which is inputted into the video input lines 4g-4j of the video signal line driving circuit 4 from the video-signal supply circuit 6 according to this example, Since the timing which carries out the change of potential is arranged, the video input line 4g - the four video signal lines 11 corresponding to 4j number, and — can be chosen simultaneously, the video signal line 11 and the number of — can compare with it being by 720 by this, and the number of stages of the shift register section 31 can be lessened with 180 steps.

[0068]Therefore, two or more shift registers are formed in the video signal line driving circuit 4. Redundancy can be given, moreover they can be switched and the yield can improve the yield of the video signal line driving circuit 4 which poses a problem by leaps and bounds. Since the yield of active matrix type liquid crystal display device 1 of a drive circuit integral type itself can be improved and each shift register 41 of the shift register section 31 and working speed required for — can be made late conventional one fourth. Even if it constitutes the shift register 41 and — from an element with slow working speed, working speed high enough is securable. Since each video signal line 11 and the time (T) when analog video signal ($V_{sa1'}$) – ($V_{sa4'}$) is supplied to — will be 1/4 time as compared with the method which does not divide an analog video signal (V_s), sufficient time for the writing of potential is obtained.

[0069]Since the shift register 41 and — which constitute the video signal line driving circuit 4 can be operated by the input of start pulse ST1 and clock CK1, Since the external circuit for inputting start pulse ST1 and clock CK1 can be constituted small and a connection wiring number can moreover be reduced further, the miniaturization of a device and improvement in a manufacturing yield can be attained.

[0070]Since the video-signal supply circuit 6 of this example is dividing the analog video signal (V_s) in the form of the digital signal, it does not almost have degradation of the image quality by having divided the analog video signal (V_s), either. Therefore, according to this example, a high definition display image can be obtained.

[0071]In the active matrix type liquid crystal display device of a drive circuit integral type which formed the video signal line driving circuit and the scanning signal line drive circuit on the same substrate as the array substrate in which the picture element electrode etc. were formed, and unified the driving circuit part and the indicator, The yield of the drive circuit which poses a problem in such a drive circuit integral type can be improved by leaps and bounds.

[0072]That is, originally an indicator and a driving circuit part are produced individually, and in performing an assembly about the product in which the good characteristic was obtained out of them, it is in the yield independently, respectively. On the other hand, when the driving circuit part and the indicator are really formed, the combination of an indicator and a drive circuit has been determined since the start.

Both of whole yields will be the probability that an excellent article can be taken simultaneously.

If the yield of a drive circuit is 100%, since this is in agreement with the yield of only an indicator, it will not become a problem, but since the yield of a actual drive circuit is not 100%, it becomes a problem.

[0073]Here, the number of thin film transistors and the number of the thin film transistors of an indicator which constitute a drive circuit are compared. The number of the thin film transistors which constitute a drive circuit in the case of the drive circuit using a shift register is only about ten percent at most to an indicator. Therefore, it is thought that the yield of the liquid crystal display of a drive circuit integral type is determined that only a number will compare simply by the yield of an indicator. However, considering the influence of [when the performance and the thin film transistor which are demanded are poor actually], in fact, the yield of a drive circuit cannot be disregarded.

[0074]Although a part of drive circuit is a digital circuit, in driving on the conditions near critical speed, it influences the yield on the contrary. In an indicator, when there is little actuating current of a thin film transistor, the luminosity of the pixel is affected. However, this is a problem of only a pixel with a poor thin film transistor, and cannot serve as a decisive defect easily. On the other hand, when the actuating current of the thin film transistor in a drive circuit decreases and working speed falls, a drive circuit will stop from the portion. Even when the number of the thin film transistors which became poor is one, to the decisive display which is faulty and has this defect, the commodity value of this will completely be lost. Therefore, the way of the thin film transistor which constitutes a drive circuit becomes severe in yield all the time.

[0075]Therefore, since the yield of a drive circuit becomes a problem actually, the above-mentioned problem is solved by the ability to do without giving redundancy to a shift register, being able to choose an effective shift register, and complicating structure moreover since it is redundant as mentioned above.

[0076]Next, the active matrix type liquid crystal display device of other examples of this invention is explained. The point which is different from the active matrix type liquid crystal display device 1 which this example mentioned above is the composition of the video-signal supply circuit 6.

It explains with reference to drawing 6.

[0077]The video-signal supply circuit 6 of this example divides an analog video signal (V_s), without performing digital conversion. An analog video signal (V_s) is inputted into the eight sample hold circuits 51a and —51h, and is sampled one by one based on output (SRs 2 and 1) – (SRs 2 and 8) of the shift register 52.

[0078]The example mentioned above differs in the number of stages, and also the shift register 52

comprises eight steps and it is an identical configuration, It is reset by a Horizontal Synchronizing signal (HS), only the 1st step of output (SRs 2 and 1) starts operation in the state of one, and it has the composition of operating based on a level sampling signal (CK2).

[0079]The sample hold circuit 51a and -- each output terminal, It is connected to the change-over switch 53, and the sample hold circuits 51e-51h serve as one altogether during the period when the sample hold circuits 51a-51d are chosen with the shift register 52, The period when the sample hold circuits 51e-51h are chosen with the shift register 52 is chosen by the 1/4 counting-down circuit 54 controlled by the Horizontal Synchronizing signal (HS) and a level sampling signal (CK2) so that the sample hold circuits 51a-51d serve as one altogether.

[0080]Thus, video-signal (Vs1) - (Vs4) selected, respectively with the change-over switch 53 or (Vs5) - (Vs8), It is the signal arranged so that the latch circuitry 25a of the example mentioned above and the time when a phase, i.e., potential, changes like [--] a latch output might become simultaneous.

[0081]Since a liquid crystal is driven the output selected with the change-over switch 53 by the amplification inverting circuit 55 with amplification of voltage, and the function which reverses the polarity for every field, after being made into suitable voltage, it is supplied to the video input lines 4g-4h via the external wiring 29a-29d.

[0082]As mentioned above, according to this example, the analog video signal (Vs) inputted is divided into analog video signal (Vs1') - (Vs4') whose four phases corresponded with the analog state, and the video input lines 4g-4j of the video signal line driving circuit 4 are supplied via the external wiring 29a-29d.

[0083]Since the video-signal supply circuit 6 can be constituted from small-scale analog circuitry by this compared with the example mentioned above, much more miniaturization of a device and cheap-ization can be attained.

[0084]Although each example mentioned above showed the case where the composition which chooses the four video signal lines 11 and -- simultaneously as a lot was adopted, For example, the video signal line 11 and the simultaneous selection number of -- may be made to differ suitably from 2 or 16 by considering the number of partitions of a video signal (Vs) as two division or 16 division.

[0085]This invention can be carried out also in various active matrix type displays other than the active matrix type liquid crystal display device mentioned above. As shown, for example in drawing 7, it is good also as composition which constituted each stage of the shift register from four independent registers and with which one register of them was connected with the next step or the preceding paragraph. As by having such composition shows, for example to (a) of drawing 8, When the 2nd step of register A2 is a defect, connection of the next step by the register A2 and the preceding paragraph is intercepted, and it may be made to connect other register B-2s and D2 (or register C2) with the next step or the preceding paragraph, as shown in (b) of drawing 8, and (c). In this case, the switch circuit 7 used in the above-mentioned example and the change-over-switch part 32 become unnecessary. Connection (based on a dielectric breakdown) with interception (cutting of a fuse) of connection with the next step of the above-mentioned register or the preceding paragraph, the next step of a register, or the preceding paragraph is made by impression of predetermined voltage.

[0086]It may be made for a shift register to use a bidirectional thing. In this case, a bi directional shift register can be formed, without complicating wiring to the next step. Since the circuit of each stage is in this bi directional shift register independently to a scanning direction, it is provided with redundancy.

[0087]

[Effect of the Invention]According to this invention, as explained above, since it is constituted so that the signal from a video-signal supply circuit may be simultaneously outputted to 1 set of video signal lines, compared with the case where it outputs to each video signal line one by one, circuit structure can be made small, and the flexibility of a pattern layout, etc. increase.

[0088]about [that the selection speed of a video signal line driving circuit is supplied from a video-signal supply circuit] the number-of-partitions twice of a video signal -- since it becomes possible to make it late, even if it constitutes a video signal line driving circuit from a circuit where working speed is slow, high-speed operation becomes possible as a display. Thereby, a matrix wiring section and a video signal line driving circuit can also be formed in one on the same substrate, and it also becomes possible to reduce a connection wiring number. Since it can have composition also with an easy external circuit for inputting a start pulse and a clock for a video signal line driving circuit, it becomes possible to attain much more miniaturization of an active matrix type display.

[0089]Since it becomes possible to also make the clock frequency small as compared with the case where the video signal (Vs) is not being divided, display performance can also be raised. In the device of a drive circuit integral type, redundancy can be given to the shift register of a video signal line line drive circuit

without complicating structure, and the yield can be improved by leaps and bounds.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]Drawing 1 is an outline lineblock diagram of the active matrix type liquid crystal display device of one example of this invention.

[Drawing 2]The outline lineblock diagram of the video-signal supply circuit of drawing 1.

[Drawing 3]The figure showing the waveform of the video-signal supply circuit of drawing 1 of operation.

[Drawing 4]The outline lineblock diagram of the video signal line driving circuit of drawing 1.

[Drawing 5]The figure showing the waveform of the video signal line driving circuit of drawing 1 of operation.

[Drawing 6]The outline lineblock diagram for describing other examples of a video-signal supply circuit.

[Drawing 7]The outline lineblock diagram for describing other examples of a video signal line driving circuit.

[Drawing 8]The figure showing the connected state of the 2nd step of shift register in the video signal line driving circuit of drawing 7.

[Drawing 9]The outline lineblock diagram for explaining the conventional video-signal supply circuit.

[Drawing 10]The figure showing the waveform of the video-signal supply circuit of drawing 9 of operation.

[Description of Notations]

1 -- Active matrix type liquid crystal display device

2 -- Insulating substrate

3 -- Liquid crystal display section

4 -- Video signal line driving circuit

4a-4l. -- Entrance cable

5 -- Scanning signal line drive circuit

6 -- Video-signal supply circuit

7 -- Switch circuit

11 -- Video signal line

12 -- Scanning signal line

13 -- Thin film transistor

21 -- Shift register

22 -- AND circuit

23 -- Analog-to-digital conversion machine

24 -- The 1st data latch part

25 -- The 2nd data latch part

27 -- Digital to analog part

28 -- Amplification pars inflexa

31 -- Shift register section

32 -- Change-over-switch part

33 -- Sample hold section

41-44 -- Shift register

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

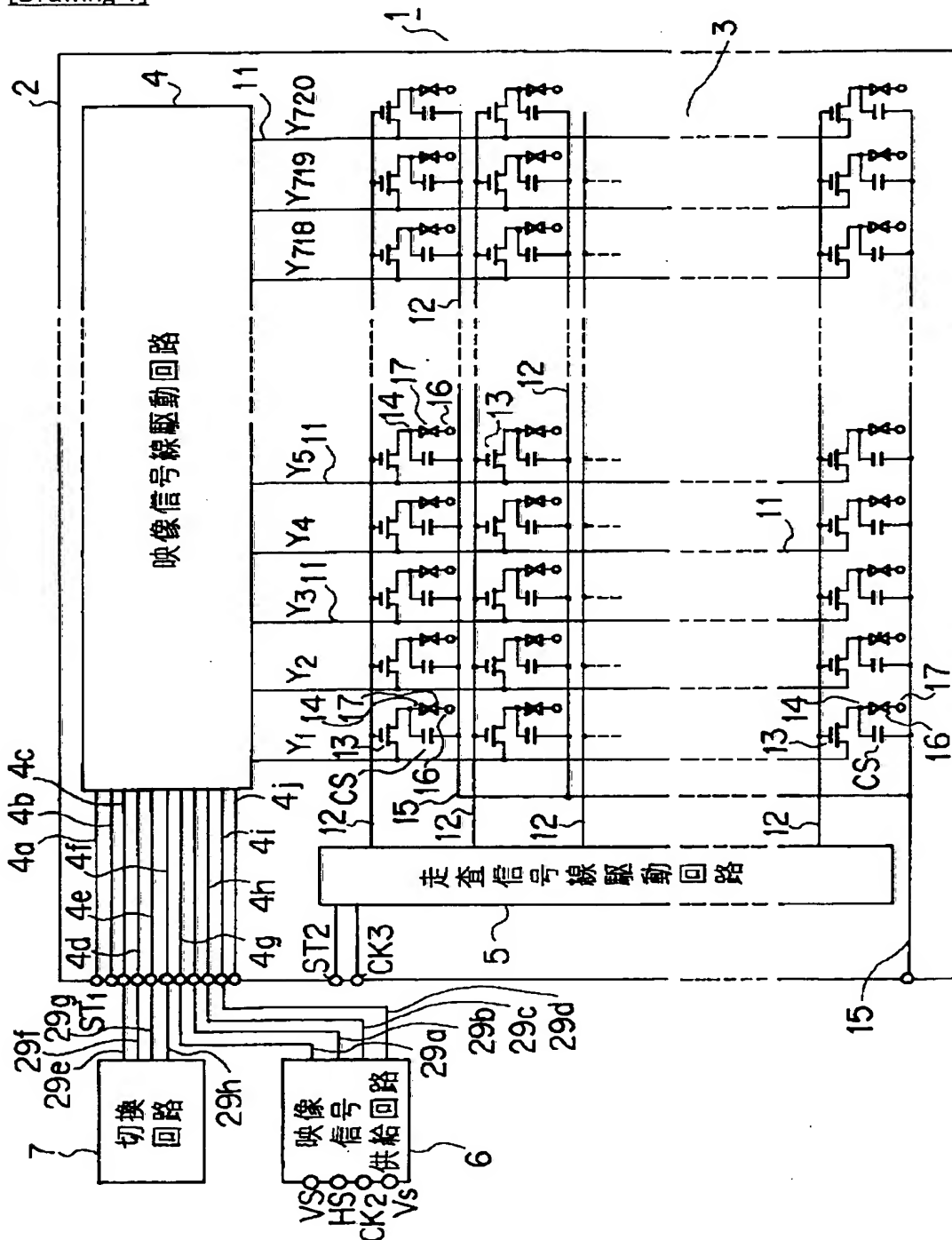
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

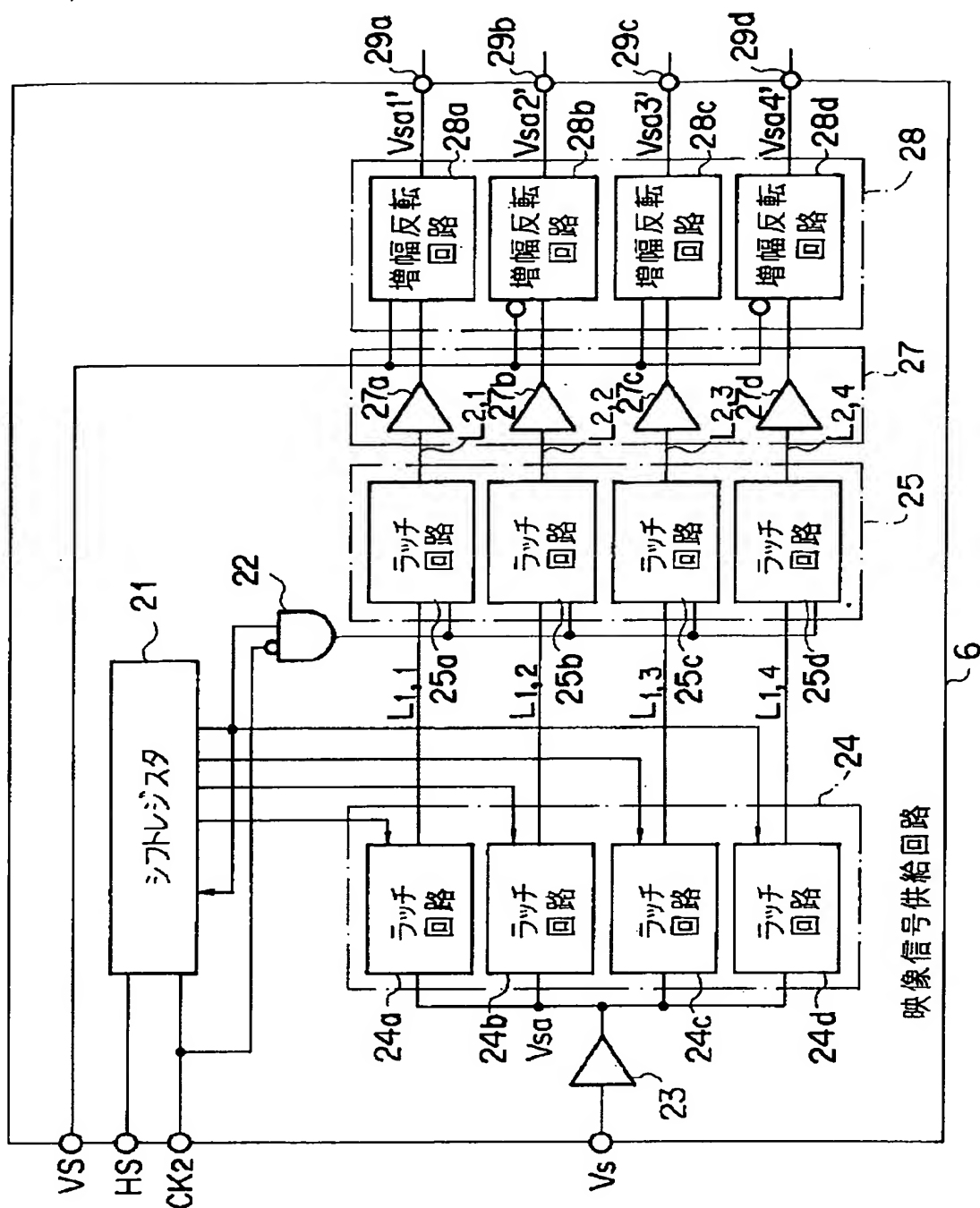
3.In the drawings, any words are not translated.

DRAWINGS

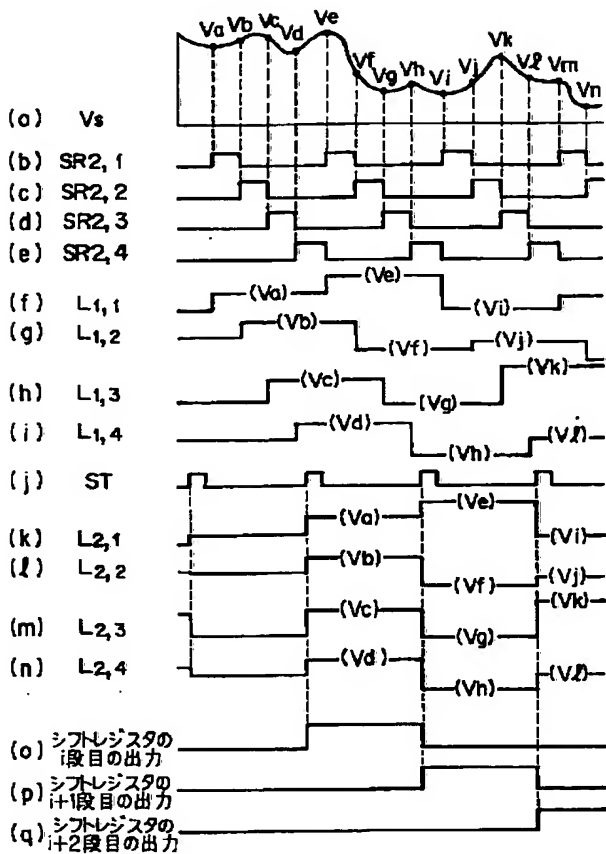
[Drawing 1]



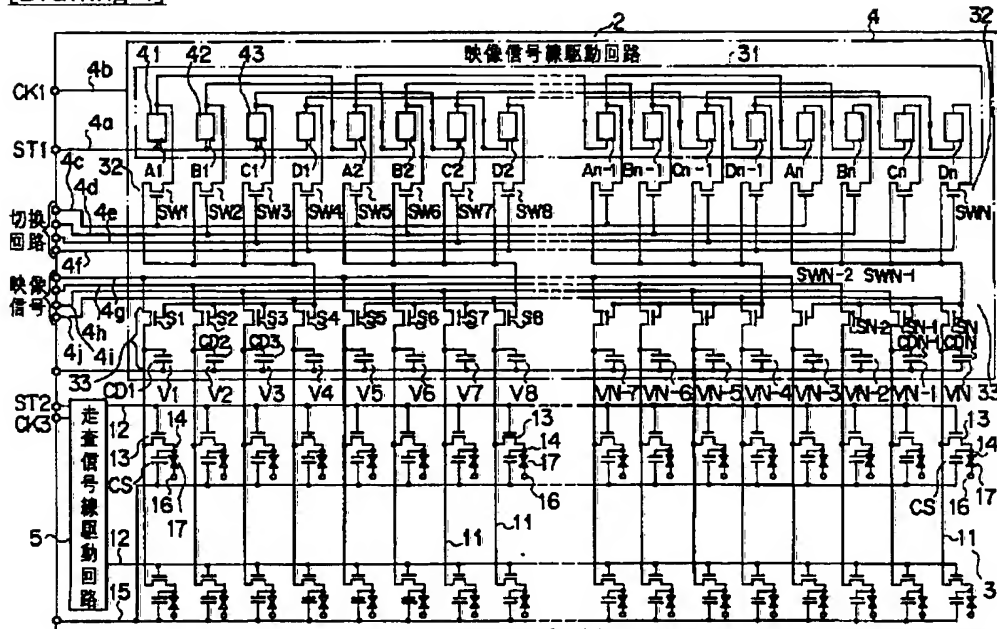
[Drawing 2]



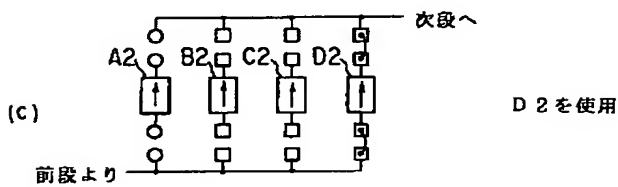
[Drawing 3]



[Drawing 4]



[Drawing 8]



(a) クロックCK1

(b) シフトレジスタの
i段目の出力

(c) シフトレジスタの
i+1段目の出力

(d) シフトレジスタの
i+2段目の出力

(e) シフトレジスタの
i+3段目の出力

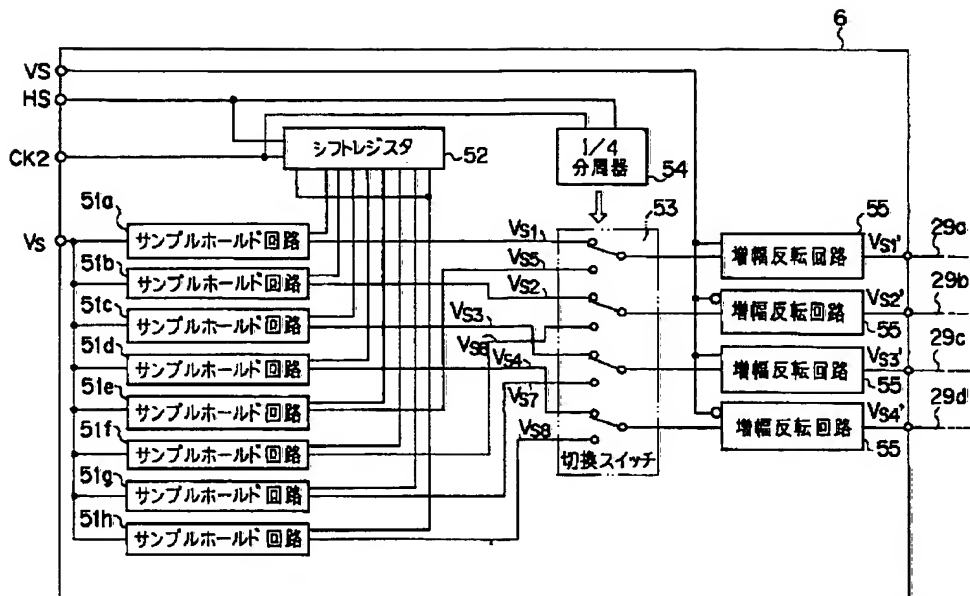
(f) 映像信号
 $Vsa1'$

(g) 映像信号
 $Vsa2'$

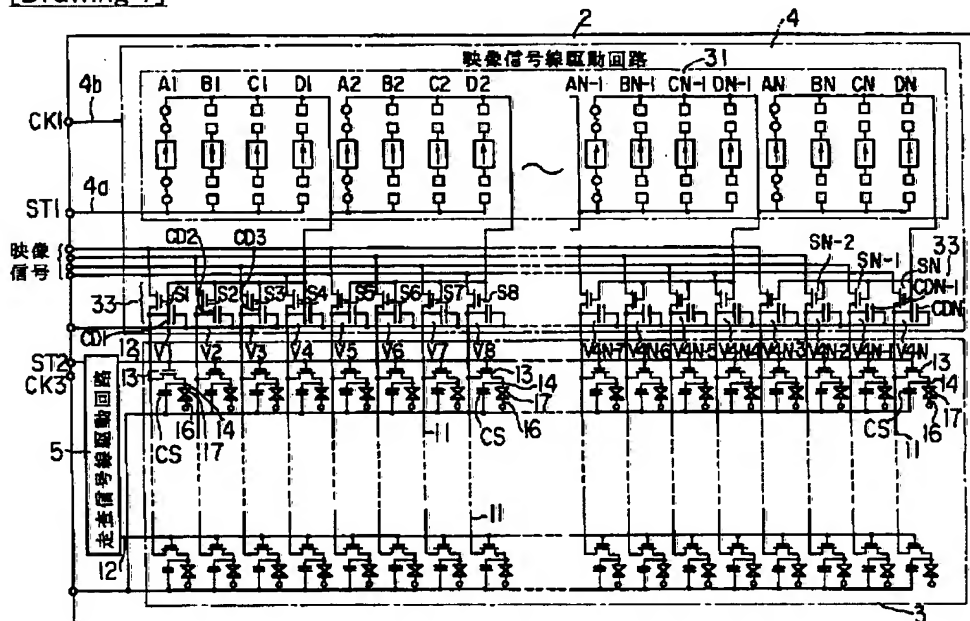
(h) 映像信号
 $Vsa3'$

(i) 映像信号
 $Vsa4'$

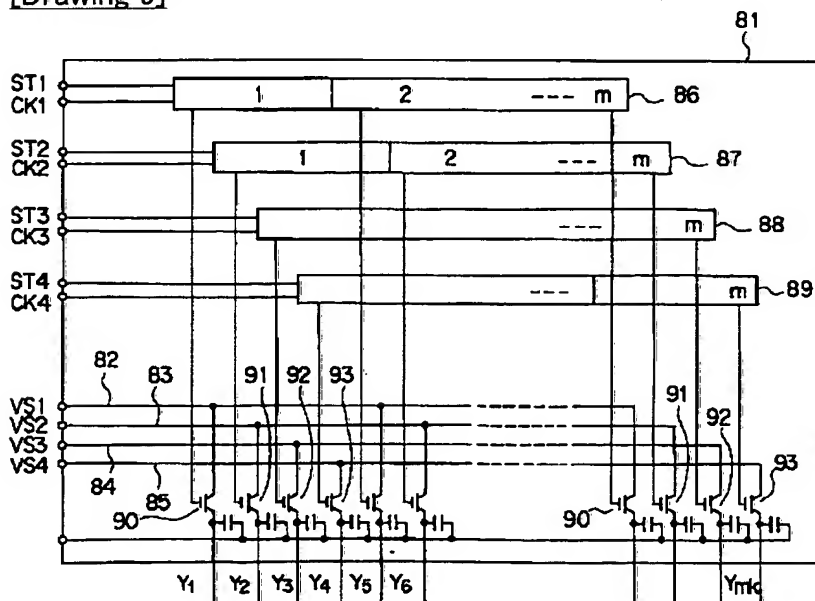
[Drawing 6]



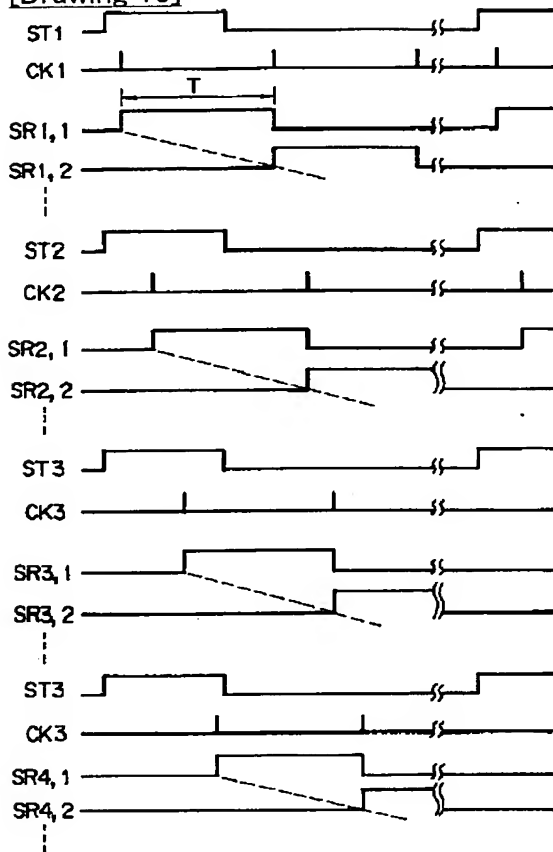
[Drawing 7]



[Drawing 9]



[Drawing 10]



[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-82754

(43)公開日 平成 6 年(1994) 3 月25日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 5 0	9226-2K		
	5 3 0	9226-2K		
1/136	5 0 0	9018-2K		
G 0 9 G 3/36		7319-5G		
		9056-4M		
		H 0 1 L 29/ 78	3 1 1 A	

審査請求 未請求 請求項の数 8 (全 15 頁) 最終頁に続く

(21)出願番号 特願平5-173984

(22)出願日 平成 5 年(1993) 7 月14日

(31)優先権主張番号 特願平4-189151

(32)優先日 平 4 (1992) 7 月16日

(33)優先権主張国 日本 (J P)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 渡邊 好浩

神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内

(72)発明者 増田 陽一

神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内

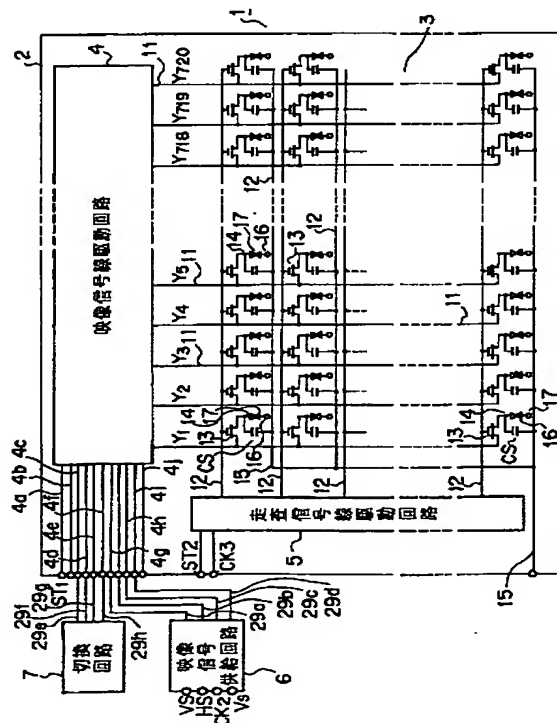
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 アクティブマトリクス型表示装置

(57)【要約】

【構成】この発明は、映像信号をサンプリングして分配し、分配された映像信号のタイミングを一致させて複数本の映像入力線11に出力する映像信号供給回路6と、シフトレジスタ41、…の各段ごとに複数のレジスタA1、…を有し、その各段ごとに1つのレジスタが任意に選択され、その各段ごとのレジスタA1、…からのシフト出力と映像信号供給回路6からの信号を1組の映像信号線に同時に出力する映像信号線駆動回路4とを備えている。

【効果】この発明によれば、複数本の映像信号線を同時に選択するため、動作速度が遅いシフトレジスタであっても表示装置としては高速動作が可能であって、外部回路の増大化を抑えることにより、アクティブマトリクス型表示装置の小型化を達成することができ、駆動回路一体型の装置における歩留りを飛躍的に向上できる。



1

【特許請求の範囲】

【請求項1】 マトリクス状に配置されるK本を1組としn組から成る $K \times n$ 本の映像信号線とm本の走査信号線とこれらの映像信号線と走査信号線の各交点部分に配置されるスイッチング素子を介して設置される画素電極とからなる液晶表示部を有するアクティブマトリクス型表示装置において、

映像信号を1表示画素に対応するタイミングでサンプリングしてK本の映像信号に分配する分配手段および前記分配された映像信号のタイミングを一致させてK本の映像入力線に出力するタイミング制御手段とを備えた映像信号供給回路と、

上記タイミング制御手段から上記K本の映像入力線を介して出力される映像信号を対応する1組の上記各映像信号線に同時に出力する映像信号線駆動回路と、を具備したことを特徴するアクティブマトリクス型表示装置。

【請求項2】 上記液晶表示部と映像信号線駆動回路とが同一基板上に一体に形成されていることを特徴とする請求項1に記載のアクティブマトリクス型表示装置。

【請求項3】 上記映像信号線駆動回路がn段のシフトレジスタを備えていることを特徴とする請求項1に記載のアクティブマトリクス型表示装置。

【請求項4】 上記タイミング制御手段が2つ以上の電圧保持手段を備えていることを特徴とする請求項1に記載のアクティブマトリクス型表示装置。

【請求項5】 上記分配手段がK個のサンプリング手段と、このサンプリング手段のサンプリング周期を決定するK段のシフトレジスタとを備えていることを特徴とする請求項1に記載のアクティブマトリクス型表示装置。

【請求項6】 マトリクス状に配置されるK本を1組としn組から成る $K \times n$ 本の映像信号線とm本の走査信号線とこれらの映像信号線と走査信号線の各交点部分に配置されるスイッチング素子を介して設置される画素電極とからなる液晶表示部と、

上記走査信号線に走査信号を順次転送する走査信号線駆動回路と、

上記映像信号線のn組に対応するn段の複数のシフトレジスタを有し、上記映像信号線に映像信号を順次転送する映像信号線駆動回路と、

外部からの選択信号により、上記映像信号線駆動回路の複数のシフトレジスタの1つが選択される切換スイッチと、

が同一基板上に一体に形成されていることを特徴とするアクティブマトリクス型表示装置。

【請求項7】 上記n段の複数のシフトレジスタが、各段ごとに交互に配置されていることを特徴とする請求項6に記載のアクティブマトリクス型表示装置。

【請求項8】 マトリクス状に配置されるK本を1組としn組から成る $K \times n$ 本の映像信号線とm本の走査信号

2

線とこれらの映像信号線と走査信号線の各交点部分に配置されるスイッチング素子を介して設置される画素電極とからなる液晶表示部と、

上記走査信号線に走査信号を順次転送する走査信号線駆動回路と、

上記映像信号線に映像信号を順次転送する映像信号線駆動回路とが同一基板上に一体に形成されているアクティブマトリクス型表示装置において、

上記映像信号線駆動回路が、上記映像信号線のn組に対応するn段のシフトレジスタを有し、このシフトレジスタの各段ごとに複数のレジスタを有し、上記シフトレジスタの各段ごとに1つのレジスタが任意に選択されるものであることを特徴とするアクティブマトリクス型表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は映像信号に基づき表示を行うアクティブマトリクス型表示装置に関する。

【0002】

【従来の技術】 CRT表示装置に代わる小型で軽量の平面表示装置として、液晶表示装置やエレクトロルミネセンス表示装置等が注目されている。中でも、液晶表示装置は次世代の表示装置として各種の用途に実用化されつつある。

【0003】 アクティブマトリクス型液晶表示装置は、マトリクス状に複数本の映像信号線と走査信号線とが配置され、各交差部分にスイッチ素子としての薄膜トランジスタを介して画素電極と画素電極との間で補助容量

(Cs)を形成する補助容量線が設けられ、画素電極

と、この画素電極と対向する対向電極との間に液晶が挟持されている。そして、更に、映像信号線に接続される映像信号線駆動回路、走査信号線に接続される走査信号線駆動回路を備えてアクティブマトリクス型液晶表示装置は構成されている。

【0004】 走査信号線から走査信号(Vg, on)が薄膜トランジスタのゲート電極に印加されると、薄膜トランジスタがオンとなり映像信号線上の映像信号(Vs)の電圧が画素電極と補助容量に夫々書き込まれる。そして、走査信号線上に走査信号(Vg, off)が印加されている間、薄膜トランジスタはオフとなり、画素電極および補助容量に印加された電圧(Vs)が保持され、この電圧(Vs)に対応して液晶が応答し表示が行われる。

【0005】 最近では、このようなアクティブマトリクス型液晶表示装置に代表されるアクティブマトリクス型表示装置に対して、一層の高精細化が要求され、これに伴い走査信号線、映像信号線は従来にも増して増加する傾向にある。

【0006】 そこで、各信号線と駆動回路との接続の煩わしさを解消して生産性を向上させるために、駆動回路とマトリクス配線部とを同一基板上に一体に形成した駆

動回路一体型の表示装置が実用化されてきている。

【0007】駆動回路一体型のアクティブマトリクス型表示装置では、通常、高性能な多結晶シリコン薄膜トランジスタが駆動回路に用いられ、これにより駆動回路の高速駆動に対応しようとしている。しかし、高性能な多結晶シリコン薄膜トランジスタを用いても、走査信号線あるいは映像信号線の増加に伴う動作速度の高速化に対処することは困難であった。

【0008】そこで、この動作速度が不足している薄膜トランジスタを用いて高速動作が可能な駆動回路を構成する方法として、シフトレジスタを複数に分割し、夫々を並列に接続して駆動する方法がある。

【0009】また、特開昭59-83198号公報あるいは特開平2-153391号公報に開示されるように、映像信号を多相に分割して順次映像信号線に供給することにより、映像信号の分割数に応じて映像信号のサンプルホールド時間を長く設定し、これにより高密度な表示画像を実現する方法がある。

【0010】図9は、このような従来の技術の組合せから考えられるアクティブマトリクス型液晶表示装置の映像信号線駆動回路81の概略構成図である。映像信号線駆動回路81には4分割された映像信号(Vs1)～(Vs4)が入力され、各映像入力線82、83、84、85に印加される。そして、映像信号線駆動回路81は4つのシフトレジスタ86、87、88、89を備え、それぞれ図10に示すようなスタートパルス(ST1)～(ST4)、クロック(CK1)～(CK4)が入力され、このクロック(CK1)～(CK4)に同期してシフトレジスタ出力(SR1、i)～(SR4、i)を順次出力する。

【0011】第1のシフトレジスタ86の各出力(SR1、i)は、第1の映像入力線82に供給される映像信号(Vs1)を各映像信号線(Y1)、(Y5)、…、(Y(4i-3))に夫々出力するタイミングを制御するための各薄膜トランジスタ90のゲート電極に接続されている。第2のシフトレジスタ87の各出力(SR2、i)は、第2の映像入力線83に供給される映像信号(Vs2)を各映像信号線(Y2)、(Y6)、…、(Y(4i-2))に出力するタイミングを制御するための各薄膜トランジスタ91のゲート電極に接続されている。第3のシフトレジスタ88の各出力(SR3、i)は、第3の映像入力線84に供給される映像信号(Vs3)を各映像信号線(Y3)、(Y7)、…、(Y(4i-1))に出力するタイミングを制御するための各薄膜トランジスタ92のゲート電極に接続されている。そして、第4のシフトレジスタ89の各出力(SR4、i)は、第4の映像入力線85に供給される映像信号(Vs4)を各映像信号線(Y4)、(Y8)、…、(Y(4i))に出力するタイミングを制御するための各薄膜トランジスタ93のゲート電極に接続されている。

【0012】このような構成を採用することにより、映像信号線駆動回路81を1つのシフトレジスタで構成する場合に比べ各シフトレジスタのクロック(CK)速度を1/4と低速にすることができる。

【0013】また、この図からわかるように、シフトレジスタ86～89を分割させることにより、各シフトレジスタ86～89の出力の時間(T)を1つのシフトレジスタで構成する場合に比べ4倍程度に長く設定することができる。これにより、薄膜トランジスタ90～93に要求される動作速度は遅くても良くなる。

【0014】

【発明が解決しようとする課題】以上のようにして映像信号線駆動回路を構成することにより、低速動作のシフトレジスタを用いても、駆動回路全体としては高速動作が可能となる。しかも各シフトレジスタ86～89の出力の時間(T)を長くできるため、各映像信号(Vs1)～(Vs4)の印加時間を長く設定でき、これにより良好な表示画像を得ることができる。

【0015】しかしながら、このようにしてアクティブマトリクス型表示装置を構成した場合、次のような問題点がある。即ち、シフトレジスタ86～89の分割して上述したように構成すると、シフトレジスタ86～89の分割に起因した回路面積の増大は勿論のこと、各シフトレジスタ86～89を夫々駆動するためのスタートパルス(ST1)～(ST4)、クロック(CK1)～(CK4)を外部から与えられるための外部回路の増大を招き、アクティブマトリクス型表示装置の小型化を困難にしてしまう。

【0016】また、上述した構成ではシフトレジスタの増加数に比例して外部回路との接続配線数も増加するため、実装作業時間の増加に伴う生産性の低下を招く恐れもある。

【0017】この発明は、このような課題に対処して成されたもので、動作速度が遅い回路で映像信号駆動回路を構成しても表示装置としては高速動作が可能であって、しかも歩留まりを向上させることができるアクティブマトリクス型表示装置を提供することを目的としたものである。

【0018】

【課題を解決するための手段】この発明のアクティブマトリクス型表示装置は、K本を1組としn組から成るK、n本の映像信号線とm本の走査信号線とがマトリクス状に配置されて成るマトリクス配線部と、映像信号を1表示画素に対応するタイミングでサンプリングしてK本の映像信号に分配する分配手段および分配された映像信号のタイミングを一致させてK本の映像入力線に出力するタイミング制御手段とを備えた映像信号供給回路を、タイミング制御手段からK本の映像入力線を介して出力される映像信号を対応する1組の各映像信号線に同時に出力する映像信号線駆動回路とを備えたことを特徴

5

としており、更に、少なくともマトリクス配線部と映像信号線駆動回路とが同一基板上に一体形成されていることを特徴としたものである。

【0019】そして、アクティブマトリクス型表示装置は、映像信号線駆動回路が n 段のシフトレジスタを備えたことを特徴としている。また、タイミング制御手段が2つ以上の電圧保持手段を備えたことを特徴としている。

【0020】また、このアクティブマトリクス型表示装置は、分配手段が K 個のサンプリング手段と、このサンプリング手段のサンプリング周期を決定する K 段のシフトレジスタとを備えたことを特徴としている。

【0021】また、駆動回路一体型の装置において、各段ごとに複数のレジスタを有するシフトレジスタが形成され、その各段ごとに1つのレジスタが任意に選択されることを特徴としている。

【0022】

【作用】上述したように、この発明のアクティブマトリクス型表示装置は、映像信号供給回路が映像信号を1表示画素に対応するタイミングでサンプリングして K 本の映像信号に分配する分配手段と、この分配された映像信号のタイミングを一致させて K 本の映像入力線に出力するタイミング制御手段とを備えて構成されているため、分割された映像信号のタイミングが一致されて K 本の映像入力線に出力されることとなる。

【0023】これにより、この発明では K 本を1組とした複数本の映像信号線に対応する分配された映像信号を同時に選択することができる。よって、この発明によれば、映像信号線駆動回路の回路構成自体を簡略化することができ、しかも動作速度を映像信号の分割数相当、即ち $1/K$ 倍程度に遅くすることも可能となる。

【0024】更に、映像信号線駆動回路の簡略化に伴い、映像信号線駆動回路を制御するための外部回路の回路構成も簡略化することができるため、装置の大幅な小型化を達成することができる。

【0025】また、駆動回路一体型の装置において、映像信号線駆動回路のシフトレジスタに構造を複雑にしないで冗長を持たせることができ、歩留まりを飛躍的に向上することができる。

【0026】

【実施例】以下、この発明の一実施例について図面を参照しつつ説明する。図1はこの発明のアクティブマトリクス型液晶表示装置の回路構成図である。このアクティブマトリクス型液晶表示装置1は、アナログ入力される映像信号(V_s)に基づいて表示を行うものであり、絶縁基板2上に一体的に形成されている液晶表示部3、映像信号線駆動回路4、走査信号線駆動回路5と、映像信号供給回路6と、切換回路7と、制御回路(図示しない)とにより構成されている。

【0027】液晶表示部3は、4本を一組とした720

6

本の映像信号線11、…($Y1 \sim Y720$)と480本の走査信号線12、…とがマトリクス状に配置され、各交差部分にスイッチ素子として薄膜トランジスタ13を介して設置される画素電極14と、画素電極14との間で補助容量 C_s を形成する共通バイアス電圧に接続される補助容量線15とから成るマトリクス配線部を備えている。このマトリクス配線部の画素電極14と対向電極16との間に液晶17が挟持されて構成されている。

【0028】映像信号線駆動回路4は、映像信号供給回路6から外部配線を介して供給されるアナログ映像信号($V_{sa1'}$)～($V_{sa4'}$)に基づき各映像信号線11、…を駆動するものである。映像信号線駆動回路4には、入力線4aによりスタートパルス $ST1$ が供給され、入力線4bにより図5の(a)に示すようなクロック $CK1$ が供給され、入力線4c～4fにより切換回路7からの切換信号が供給され、映像入力線4g～4jにより図5の(f)～(i)に示すような映像信号供給回路6からの4つの映像信号が供給されている。

【0029】走査信号線駆動回路5は、走査信号線12、…を駆動するものであり、入力線4kによりスタートパルス $ST2$ が供給され、入力線4lによりクロック $CK3$ が供給されている。

【0030】映像信号供給回路6は、供給されるアナログ映像信号 V_s を1表示画素に対応するタイミングでサンプリングして4本(K 本)の映像信号に分配し、この分配された映像信号のタイミングを一致させて4本(K 本)の映像入力線から出力するものであり、垂直同期信号 VS 、水平同期信号 HS 、クロック $CK2$ 、アナログ映像信号 V_s が供給されている。

【0031】切換回路7は、たとえば4ビットのディップスイッチにより構成されており、上記映像信号線駆動回路4内の切換スイッチ(後述する)を切換えることにより、 n 段の複数のシフトレジスタ41～44内の1つのシフトレジスタからの出力を有効とするようにしたものである。切換回路7の出力は外部配線29e～29hを介して映像信号線駆動回路4の各入力線4c～4fに供給される。

【0032】上記映像信号供給回路6は、図2に示すように、シフトレジスタ21、アンド回路22、アナログ／デジタル変換器23、第1のデータラッチ部24、第2のデータラッチ部25、デジタル／アナログ変換部27、および増幅反転部28によって構成されている。

【0033】シフトレジスタ21は、4段構成となっており、水平同期信号 HS によりリセットされ、1段目のシフト出力($SR2, 1$)のみがオンの状態で動作を開始し、水平方向のサンプリング周期に相当する水平サンプリング信号(クロック) $CK2$ により、図3の(b)～(e)に示すシフト出力($SR2, 1$)～($SR2, 4$)が出力される。このシフトレジスタ21の各シフト

出力(SR2、1)～(SR2、4)は、第1のデータラッチ部24の各ラッチ回路24a、～24dにそれぞれ供給される。

【0034】上記シフト出力(SR2、1)はラッチ回路24aへ供給され、シフト出力(SR2、2)はラッチ回路24bへ供給され、シフト出力(SR2、3)はラッチ回路24cへ供給され、シフト出力(SR2、4)はラッチ回路24dへ供給される。

【0035】また、シフト出力(SR2、4)は、シフトレジスタ21のスタート入力に供給されるとともに、アンド回路22の一方の入力端に供給される。シフトレジスタ21は、4段目のシフト出力(SR2、4)がオンの後に再び1段目のシフト出力(SR2、1)がオンの状態に戻るようになっている。

【0036】アンド回路22は、シフトレジスタ21のシフト出力(SR2、4)と水平サンプリング信号CK2の論理積をとるものであり、その論理積出力ST(図3の(j))は第2のデータラッチ部25の各ラッチ回路25a、～25dに供給される。

【0037】アナログ／デジタル変換器23は、供給される図3の(a)に示すようなアナログ映像信号(Vs)を10ビットのデジタル映像信号(Vsd)に変換するものであり、このデジタル映像信号(Vsd)は第1のデータラッチ部24の各ラッチ回路24a、～24dに供給される。

【0038】第1のデータラッチ部24は、4つのラッチ回路24a、～24dにより構成されており、各ラッチ回路24a、～24dは上記アナログ／デジタル変換器23からのデジタル映像信号(Vsd)をラッチするものであり、そのラッチ(保持)タイミングは4段構成のシフトレジスタ21のシフト出力によって制御されている。すなわち、第1のデータラッチ部24により、上記アナログ／デジタル変換器23からのデジタル映像信号(Vsd)が4つに順番に時間分配され、図3の(f)～(i)に示されるラッチ出力(L1、1)～(L1、4)が得られるようになっている。

【0039】ラッチ回路24aは、シフトレジスタ21の1段目のシフト出力(SR2、1)がオンの際に、アナログ／デジタル変換器23からのデジタル映像信号(Vsd)をラッチするものである。ラッチ回路24bは、シフトレジスタ21の2段目のシフト出力(SR2、1)がオンの際に、アナログ／デジタル変換器23からのデジタル映像信号(Vsd)をラッチするものである。ラッチ回路24cは、シフトレジスタ21の3段目のシフト出力(SR2、1)がオンの際に、アナログ／デジタル変換器23からのデジタル映像信号(Vsd)をラッチするものである。ラッチ回路24dは、シフトレジスタ21の4段目のシフト出力(SR2、1)がオンの際に、アナログ／デジタル変換器23からのデジタル映像信号(Vsd)をラッチするもの

である。

【0040】上記第1のデータラッチ部24の各ラッチ回路24a、～24dのラッチ出力は、それぞれ第2のデータラッチ部25の各ラッチ回路25a、～25dに出力される。

【0041】第2のデータラッチ部25は、4つのラッチ回路25a、～25dにより構成されており、各ラッチ回路25a、～25dは上記アンド回路22からの論理積出力STが供給された際に、それぞれ上記ラッチ回路24a、～24dからのラッチ出力(L1、1)～(L1、4)をラッチするものであり、各ラッチ回路25a、～25dの図3の(k)～(n)に示すラッチ出力(L2、1)～(L2、4)は、それぞれデジタル／アナログ変換器27a、～27dに供給される。

【0042】すなわち、上記ラッチ回路24a、～24dによるラッチ出力(L1、1)～(L1、4)の取込みが終了した際に、それらのラッチ出力(L1、1)～(L1、4)がそれぞれラッチ回路25a、～25dで保持され、各ラッチ回路25a、～25dのラッチ出力(L2、1)～(L2、4)がデジタル／アナログ変換器27a、～27dに供給される。

【0043】このようにして、デジタル映像信号(Vsd)が4つに分配されたラッチ出力(L1、1)～(L1、4)は、第2のデータラッチ部25によりその位相、すなわち電位が変化する時刻が同時となるように揃えられている。

【0044】デジタル／アナログ変換部27は、4つのデジタル／アナログ変換器27a、～27dにより構成されており、各デジタル／アナログ変換器27a、～27dは、ラッチ回路25a、～25dからの位相が揃っているラッチ出力(L2、1)～(L2、4)をそれぞれアナログ映像信号(Vsa1)～(Vsa4)に変換するものであり、各デジタル／アナログ変換器27a、～27dの出力は、増幅反転回路28a～28dに供給される。

【0045】増幅反転部28は、4つの増幅反転回路28a～28dにより構成されており、各増幅反転回路28a～28dは、それぞれデジタル／アナログ変換器27a、～27dからのアナログ映像信号(Vsa1)～(Vsa4)の電圧値を増幅するとともに、垂直同期信号(VS)によってフィールド毎にその極性を反転することにより液晶17を駆動できるアナログ映像信号(Vsa1')～(Vsa4')に変換するものであり、各増幅反転回路28a～28dの出力は、外部配線29a～29dを介して映像信号線駆動回路4の各映像入力線4g～4jに供給される。

【0046】このような構成において、映像信号供給回路6の動作について説明する。まず、図3の(a)に示すようなアナログ映像信号(Vs)がアナログ／デジタル変換器23に供給される。すると、アナログ／ディ

デジタル変換器23により、アナログ映像信号(Vs)が10ビットのデジタル映像信号(Vsd)に変換され、図3の(b)～(e)に示すシフトレジスタ21のシフト出力(SR2、1)～(SR2、4)によって、第1のデータラッチ部24の各ラッチ回路24a、～24dに順番にそのデジタル映像信号(Vsd)が保持される。

【0047】たとえば、図3の(f)～(i)に示すように、ラッチ回路24aにラッチ出力(L1、1)としての電圧値Vaが保持され、ラッチ回路24bにラッチ出力(L1、2)としての電圧値Vbが保持され、ラッチ回路24cにラッチ出力(L1、3)としての電圧値Vcが保持され、ラッチ回路24dにラッチ出力(L1、4)としての電圧値Vdが保持される。

【0048】そして、ラッチ回路24a～24dへのラッチ出力の取込みが終了した際に、アンド回路22からの論理積出力STにより各ラッチ回路25a、～25dが、各ラッチ回路24a、～24dからのラッチ出力(L1、1)～(L1、4)を保持し、図3の(k)～(n)に示すような、それらの位相が揃えられた各ラッチ回路25a、～25dのラッチ出力(L2、1)～(L2、4)がそれぞれデジタル/アナログ変換器27a、～27dに供給される。これにより、デジタル/アナログ変換器27a、～27dはラッチ回路25a、～25dからの位相が揃っているラッチ出力(L2、1)～(L2、4)をそれぞれアナログ映像信号(Vsa1)～(Vsa4)に変換し、増幅反転回路28a～28dに供給される。

【0049】これらの増幅反転回路28a～28dは、それぞれデジタル/アナログ変換器27a、～27dからのアナログ映像信号(Vsa1)～(Vsa4)の電圧値を増幅するとともに、垂直同期信号(VS)によってフィールド毎にその極性を反転することにより液晶17を駆動できるアナログ映像信号(Vsa1')～(Vsa4')に変換し、それぞれ外部配線29a～29dを介して映像信号線駆動回路4の各映像入力線4g～4jに供給する。

【0050】映像信号線駆動回路4は、シフトレジスタ部31、切換スイッチ部32、およびサンプルホールド部33により構成されている。切換スイッチ部32は、720個の切換スイッチとしての薄膜トランジスタSW1～SWNにより構成されている。

【0051】サンプルホールド部33は、720個のサンプルホールド回路V1～VNにより構成され、各サンプルホールド回路V1、…はそれぞれ切換スイッチとしての薄膜トランジスタS1、…SNとコンデンサCD1、…CDNとから構成されている。

【0052】シフトレジスタ部31は、180段の4つの(4系統の)シフトレジスタ41～44により構成されており、各シフトレジスタ41～44の各段のレジス

タA1、A2、…と、B1、B2、…と、C1、C2、…と、D1、D2、…とがそれぞれ順次結線されている。これらの各シフトレジスタ41～44の各段ごとに、各レジスタA1、B1、C1、D1、A2、B2、C2、D2、…、An-1、Bn-1、Cn-1、Dn-1、An、Bn、Cn、Dnは、入れ子状に配置されている。各レジスタは、転送ゲートとしての薄膜トランジスタや電荷蓄積用のキャパシタ等により構成されている。

【0053】すなわち、入力線4bからのクロックCK1(図5の(a)参照)は各シフトレジスタ41～44の各レジスタに共通に入力されており、入力線4aからのスタートパルスST1は、1段目のレジスタA1、B1、C1、D1に供給され、1段目のレジスタA1、B1、C1、D1の各シフト出力は、それぞれ2段目のレジスタA2、B2、C2、D2に供給され、…n-1段目のレジスタAn-1、Bn-1、Cn-1、Dn-1の各シフト出力は、それぞれn段目のレジスタAn、Bn、Cn、Dnに供給される。

【0054】1段目のレジスタA1、B1、C1、D1の各シフト出力は、それぞれ薄膜トランジスタSW1～SW4のソースに供給され、2段目のレジスタA2、B2、C2、D2の各シフト出力は、それぞれ薄膜トランジスタSW5～SW8のソースに供給され、…n-1段目のレジスタAn-1、Bn-1、Cn-1、Dn-1の各シフト出力は、それぞれ薄膜トランジスタSWN-7～SWN-4のソースに供給され、n段目のレジスタAn、Bn、Cn、Dnの各シフト出力は、それぞれ薄膜トランジスタSWN-3～SWNのソースに供給される。

【0055】薄膜トランジスタSW1～SWNのゲートには、上記切換回路7からの切換信号が入力線4c～4fを介して供給され、オン・オフされるようになっている。入力線4cは、薄膜トランジスタSW1、SW5、SW9、…SWN-3のゲートに接続され、入力線4dは、薄膜トランジスタSW2、SW6、SW10、…SWN-2のゲートに接続され、入力線4eは、薄膜トランジスタSW3、SW7、SW11、…SWN-1のゲートに接続され、入力線4fは、薄膜トランジスタSW4、SW8、SW12、…SWNのゲートに接続されている。

【0056】これにより、入力線4cに切換信号が供給された際、薄膜トランジスタSW1、SW5、SW9、…SWN-3がオンすることにより、レジスタA1、A2、A3、…An-1、Anからのシフト出力が後段へ導かれ、入力線4dに切換信号が供給された際、薄膜トランジスタSW2、SW6、SW10、…SWN-2がオンすることにより、レジスタB1、B2、B3、…n-1、Bnからのシフト出力が後段へ導かれ、入力線4eに切換信号が供給された際、薄膜トランジスタSW

11

3、SW7、SW11、…SWN-1がオンすることにより、レジスタC1、C2、C3、…Cn-1、Cnからのシフト出力が後段へ導かれ、入力線4fに切換信号が供給された際、薄膜トランジスタSW4、SW8、SW12、…SWNがオンすることにより、レジスタD1、D2、D3、…Dn-1、Dnからのシフト出力が後段へ導かれる。

【0057】薄膜トランジスタS1、…SNのゲートには、薄膜トランジスタSW1～SWNからのシフト出力が供給され、それらのソースには、上記映像信号供給回路6からの映像信号が映像入力線4g～4hを介して供給される。

【0058】すなわち、薄膜トランジスタSW1～SW4のドレインが共通に薄膜トランジスタS1、…S4のゲートに接続され、薄膜トランジスタSW5～SW8のドレインが共通に薄膜トランジスタS5、…S8のゲートに接続され、…、薄膜トランジスタSWN-7～SWN-4のドレインが共通に薄膜トランジスタSN-7～SN-4のゲートに接続され、薄膜トランジスタSWN-3～SWNのドレインが共通に薄膜トランジスタSN-3～SNのゲートに接続される。映像入力線4gは、薄膜トランジスタS1、S5、S9、…SN-3のゲートに接続され、映像入力線4hは、薄膜トランジスタS2、S6、S10、…SN-2のゲートに接続され、映像入力線4iは、薄膜トランジスタS3、S7、S11、…SN-1のゲートに接続され、映像入力線4jは、薄膜トランジスタS4、S8、S12、…SNのゲートに接続されている。

【0059】これにより、薄膜トランジスタS1、…がオンしている際、映像入力線4gからのアナログ映像信号(Vsa1')が順次コンデンサCD1、CD5、CD9、…CDN-3で保持され、映像入力線4hからのアナログ映像信号(Vsa2')が順次コンデンサCD2、CD6、CD10、…CDN-2で保持され、映像入力線4iからのアナログ映像信号(Vsa3')が順次コンデンサCD3、CD7、CD11、…CDN-1で保持され、映像入力線4jからのアナログ映像信号(Vsa4')が順次コンデンサCD4、CD8、CD12、…CDNで保持される。

【0060】上記サンプルホールド回路V1～VNの出力、つまりコンデンサCD1～CDNの保持電圧は、それぞれ映像信号線11、…としてのY1～Y720に供給される。

【0061】このような構成によれば、入力線4cの切換信号がオンされた際、薄膜トランジスタSW1、SW5、SW9、…SWN-3がオンすることにより、シフトレジスタ41としてのレジスタA1、A2、A3、…An-1、Anからのシフト出力(図3の(o)～

(q)、図5の(b)～(e)参照)が各サンプルホールド回路V1～VNの薄膜トランジスタS1、…SNの

12

ゲートに供給される。これにより、薄膜トランジスタS1、…SNがオンすることにより、映像信号供給回路6から映像入力線4g～4hを介して供給される4分割されている映像信号(図5の(f)～(i)参照)に応じた電圧値が、各サンプルホールド回路V1～VNのコンデンサCD1、…CDNに充電される。

【0062】この結果、映像信号線駆動回路4内の各サンプルホールド回路V1～VNの充電電圧値と走査信号線駆動回路5による走査信号線12、…の駆動に応じて、液晶表示部3の駆動が行われる。

【0063】また、入力線4dの切換信号がオンされた際、薄膜トランジスタSW2、SW6、SW10、…SWN-2がオンすることにより、シフトレジスタ42としてのレジスタB1、B2、B3、…Bn-1、Bnからのシフト出力が各サンプルホールド回路V1～VNの薄膜トランジスタS1、…SNのゲートに供給される。これにより、薄膜トランジスタS1、…SNがオンすることにより、入力線4cの切換信号がオンされた場合と同様に動作する。

【0064】また、入力線4eの切換信号がオンされた際、薄膜トランジスタSW3、SW7、SW11、…SWN-1がオンすることにより、シフトレジスタ43としてのレジスタC1、C2、C3、…Cn-1、Cnからのシフト出力が各サンプルホールド回路V1～VNの薄膜トランジスタS1、…SNのゲートに供給される。これにより、薄膜トランジスタS1、…SNがオンすることにより、入力線4cの切換信号がオンされた場合と同様に動作する。

【0065】また、入力線4fの切換信号がオンされた際、薄膜トランジスタSW4、SW8、SW12、…SWNがオンすることにより、シフトレジスタ44としてのレジスタD1、D2、D3、…Dn-1、Dnからのシフト出力が各サンプルホールド回路V1～VNの薄膜トランジスタS1、…SNのゲートに供給される。これにより、薄膜トランジスタS1、…SNがオンすることにより、入力線4cの切換信号がオンされた場合と同様に動作する。

【0066】したがって、映像信号線駆動回路4内のシフトレジスタ部31の4つのシフトレジスタ41、…の内でも部分的に損傷があり動作不能なものが有る場合でも、1つのシフトレジスタでも動作可能なものが残っていれば、アクティブマトリクス型液晶表示装置1としては完全に動作させることができる。

【0067】上記したように、この実施例によれば映像信号供給回路6から映像信号線駆動回路4の映像入力線4g、～4jに入力されるアナログ映像信号(Vsa1')～(Vsa4')は、電圧の変化するタイミングが揃えられているため、映像入力線4g、～4j数に対応する4本の映像信号線11、…を同時に選択でき、これにより映像信号線11、…の数が720本であるに比べてシフト

13

レジスタ部31の段数を180段と少なくすることができる。

【0068】したがって、映像信号線駆動回路4内に複数のシフトレジスタを形成して、冗長を持たせ、しかもそれらを切換えることができ、歩留まりが問題となる映像信号線駆動回路4の歩留まりを飛躍的に向上でき、駆動回路一体型のアクティブマトリクス型液晶表示装置1そのものの歩留まりを向上することができ、シフトレジスタ部31の各シフトレジスタ41、…に必要な動作速度を従来の1/4に遅くすることができるため、シフトレジスタ41、…を動作速度の遅い素子で構成しても十分に高い動作速度を確保することができる。また、各映像信号線11、…にアナログ映像信号(Vsa1')～(Vsa4')が供給される時間(T)は、アナログ映像信号(Vs)の分割を行わない方式と比較して1/4倍となるため、電位の書き込みに十分な時間が得られる。

【0069】また、映像信号線駆動回路4を構成するシフトレジスタ41、…をスタートパルスST1およびクロックCK1の入力により動作させることができるため、スタートパルスST1およびクロックCK1を入力するための外部回路を小型に構成でき、しかも接続配線数を一層低減させることができるため、装置の小型化および製造歩留りの向上を達成することができる。

【0070】更に、この実施例の映像信号供給回路6はアナログ映像信号(Vs)の分割をデジタル信号の形でやっているため、アナログ映像信号(Vs)を分割したことによる画質の劣化もほとんどない。従って、この実施例によれば、高画質な表示画像を得ることができる。

【0071】また、映像信号線駆動回路と走査信号線駆動回路を、画素電極等を形成したアレイ基板と同一基板上に形成して、駆動回路部と表示部を一体化した駆動回路一体型のアクティブマトリクス型液晶表示装置において、このような駆動回路一体型において問題となる駆動回路の歩留まりを飛躍的に向上することができる。

【0072】すなわち、本来表示部と駆動回路部を個別に生産し、それらの中から良好な特性が得られた製品について組立を行う場合には、その歩留まりにはそれぞれ独立している。これに対して駆動回路部と表示部を一体形成している場合には、表示部と駆動回路の組み合わせは初めから決定しており、全体の歩留まりは両方同時に良品がとれる確率になってしまう。駆動回路の歩留まりが100%であれば、これは表示部のみの歩留まりと一致するために問題とならないが、実際の駆動回路の歩留まりは100%ではないので問題になる。

【0073】ここで、駆動回路を構成する薄膜トランジスタの数と表示部の薄膜トランジスタの数を比較する。シフトレジスタを用いた駆動回路の場合には、駆動回路を構成する薄膜トランジスタの数は表示部に対して高々1割程度にすぎない。したがって、単純に数だけで比較

14

すると駆動回路一体型の液晶表示装置の歩留まりは表示部の歩留まりで決定してしまうようにも考えられる。しかし実際には、要求される性能および薄膜トランジスタが不良であった場合の影響を考えると駆動回路の歩留まりは、実は無視できない。

【0074】駆動回路の一部はデジタル回路であるが、限界速度に近い条件で駆動する場合にはかえって歩留まりに影響する。表示部においては、薄膜トランジスタの動作電流が少なかった場合には、その画素の明るさに影響がでる。しかし、これは不良の薄膜トランジスタの有った画素のみの問題であり決定的な不良とはなりにくい。これに対して、駆動回路中の薄膜トランジスタの動作電流が少なくなり動作速度が低下すると、駆動回路がその部分から停止する事になる。これは不良となった薄膜トランジスタが1つの場合でも決定的な不良であり、この不良をもつ表示装置には商品価値が全く無くなってしまう。したがって、駆動回路を構成する薄膜トランジスタのほうがずっと歩留まり的にきびしくなる。

【0075】したがって、実際には駆動回路の歩留まりが問題になるため、上述したように、シフトレジスタに冗長を持たせ、有効なシフトレジスタを選択でき、しかも冗長のために構造を複雑にしないことができることにより、上記問題を解決するものである。

【0076】次に、この発明の他の実施例のアクティブマトリクス型液晶表示装置について説明する。この実施例が上述したアクティブマトリクス型液晶表示装置1と相違する点は、映像信号供給回路6の構成であり、図6を参照して説明する。

【0077】この実施例の映像信号供給回路6は、アナログ映像信号(Vs)をデジタル変換を行うことなく分割するものである。アナログ映像信号(Vs)は8個のサンプルホールド回路51a、…51hに入力され、シフトレジスタ52の出力(SR2、1)～(SR2、8)に基づいて順次サンプリングされる。

【0078】シフトレジスタ52は8段で構成されており、上述した実施例とはその段数が異なる他は同一構成であり、水平同期信号(HS)によりリセットされ、1段目の出力(SR2、1)のみがオンの状態で動作を開始し、水平サンプリング信号(CK2)に基づいて動作する構成となっている。

【0079】サンプルホールド回路51a、…の各出力端子は、切換スイッチ53に接続され、サンプルホールド回路51a～51dがシフトレジスタ52により選択されている期間はサンプルホールド回路51e～51hが全てオンとなり、サンプルホールド回路51e～51hがシフトレジスタ52により選択されている期間はサンプルホールド回路51a～51dが全てオンとなるように水平同期信号(HS)および水平サンプリング信号(CK2)によって制御される1/4分周器54によって選択される。

15

【0080】このようにして、夫々切換スイッチ53によって選択された映像信号(Vs1)～(Vs4)、あるいは(Vs5)～(Vs8)は、上述した実施例のラッチ回路25a、…のラッチ出力と同様に位相、即ち電位が変化する時刻が同時となるように揃えられた信号となっている。

【0081】切換スイッチ53によって選択された出力は、電圧の増幅とフィールド毎にその極性を反転する機能をもつ増幅反転回路55により液晶を駆動するために適切な電圧にされた後、外部配線29a～29dを介して映像入力線4g～4hに供給される。

【0082】以上のように、この実施例によれば入力されるアナログ映像信号(Vs)をアナログ状態のまま4つの位相が一致したアナログ映像信号(Vs1')～(Vs4')に分割し、外部配線29a～29dを介して映像信号線駆動回路4の映像入力線4g～4jに供給されている。

【0083】これにより、上述した実施例に比べ、映像信号供給回路6を小規模なアナログ回路で構成することができるため、装置の一層の小型化、低廉化を達成することができる。

【0084】なお、上述した実施例は、いずれも4本の映像信号線11、…を一組として同時に選択する構成を採用した場合を示したが、例えば映像信号(Vs)の分割数を2分割あるいは16分割等として映像信号線11、…の同時選択本数を2本あるいは16本と適宜異ならしめても良い。

【0085】また、この発明は上述したアクティブマトリクス型液晶表示装置以外の種々のアクティブマトリクス型表示装置においても実施することが可能である。また、たとえば図7に示すように、シフトレジスタの各段を独立した4つのレジスタで構成し、その内の1つのレジスタが次段や前段と接続された構成としても良い。このような構成とすることにより、たとえば図8の(a)に示すように、2段目のレジスタA2が欠陥であった場合に、図8の(b)(c)に示すように、そのレジスタA2による次段や前段の接続を遮断し、他のレジスタB2、D2(あるいはレジスタC2)を次段や前段と接続するようにしても良い。この場合、上記実施例で用いた切換回路7と、切換スイッチ部32とが不要となる。なお、上記レジスタの次段や前段との接続の遮断(ヒューズの切断)や、レジスタの次段や前段との接続(絶縁破壊による)は、所定の電圧の印加により行われる。

【0086】また、シフトレジスタが双方向のものをを用いるようにしても良い。この場合、次段への配線を複雑にすることなく、双方向シフトレジスタを形成することができる。また、この双方向シフトレジスタは、各段の回路が走査方向に対して独立しているので、冗長性を備えている。

【0087】

16

【発明の効果】以上説明したように、この発明によれば、映像信号供給回路からの信号を1組の映像信号線に同時に出力するように構成されているため、個々の映像信号線に順次出力する場合に比べて回路規模を小さくすることができ、パターンレイアウトの自由度等も増す。

【0088】また、映像信号線駆動回路の選択速度を映像信号供給回路から供給される映像信号の分割数倍程度遅くすることが可能となるため、動作速度が遅い回路で映像信号線駆動回路を構成しても、表示装置としては高速動作が可能となる。これにより、マトリクス配線部と映像信号線駆動回路とを同一基板上に一体的に形成することもでき、接続配線数を低減させることも可能となる。また、映像信号線駆動回路にスタートパルス、クロックを入力するための外部回路も簡単な構成とすることができるため、アクティブマトリクス型表示装置の一層の小型化を達成することが可能となる。

【0089】さらに、その動作周波数も映像信号(Vs)を分割していない場合と比較して小さくすることも可能となるため、表示性能を向上させることもできる。また、駆動回路一体型の装置において、映像信号線線駆動回路のシフトレジスタに構造を複雑にしないで冗長を持たせることができ、歩留まりを飛躍的に向上することができる。

【図面の簡単な説明】

【図1】図1はこの発明の一実施例のアクティブマトリクス型液晶表示装置の概略構成図。

【図2】図1の映像信号供給回路の概略構成図。

【図3】図1の映像信号供給回路の動作波形を示す図。

【図4】図1の映像信号線駆動回路の概略構成図。

【図5】図1の映像信号線駆動回路の動作波形を示す図。

【図6】映像信号供給回路の他の実施例を説明するための概略構成図。

【図7】映像信号線駆動回路の他の実施例を説明するための概略構成図。

【図8】図7の映像信号線駆動回路における2段目のシフトレジスタの接続状態を示す図。

【図9】従来の映像信号供給回路を説明するための概略構成図。

【図10】図9の映像信号供給回路の動作波形を示す図。

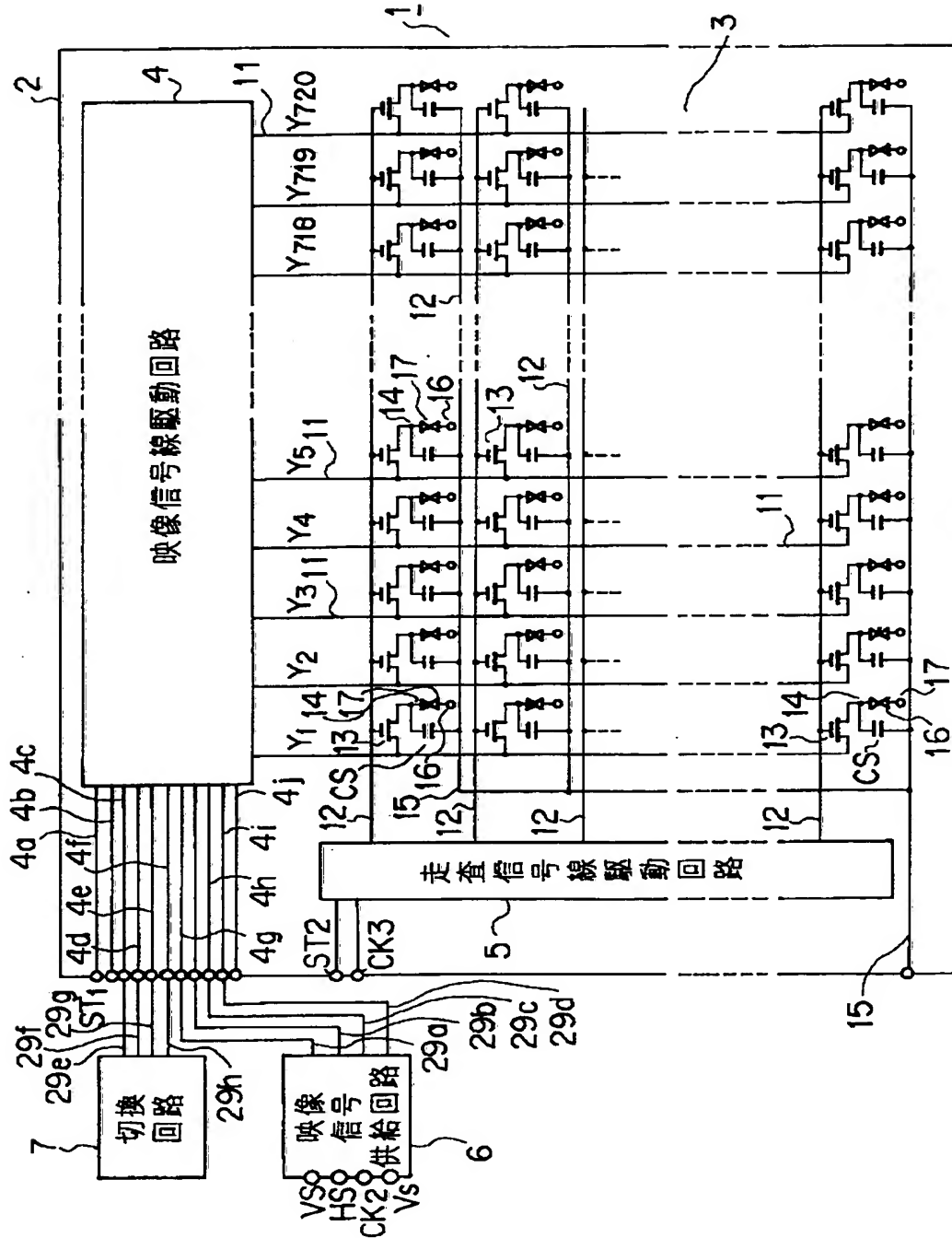
【符号の説明】

- 1…アクティブマトリクス型液晶表示装置
- 2…絶縁基板
- 3…液晶表示部
- 4…映像信号線駆動回路
- 4a～4l…入力線
- 5…走査信号線駆動回路
- 6…映像信号供給回路
- 7…切換回路

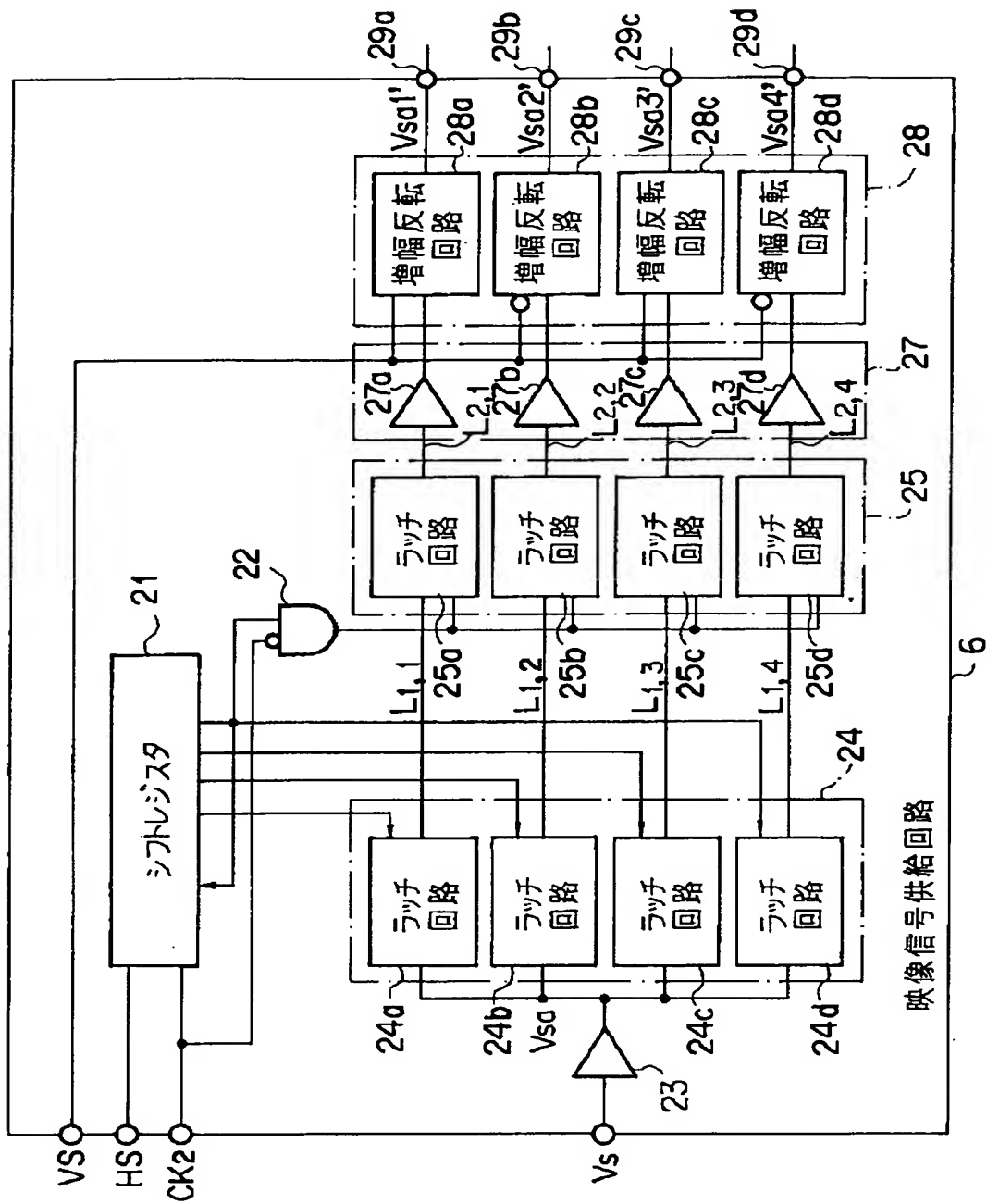
- 17
- 1 1、～…映像信号線
1 2、～…走査信号線
1 3…薄膜トランジスタ
2 1…シフトレジスタ
2 2…アンド回路
2 3…アナログ/デジタル変換器
2 4…第1のデータラッチ部

- 18
- 2 5…第2のデータラッチ部
2 7…デジタル/アナログ変換部
2 8…増幅反転部
3 1…シフトレジスタ部
3 2…切換スイッチ部
3 3…サンプルホールド部
4 1、～4 4…シフトレジスタ

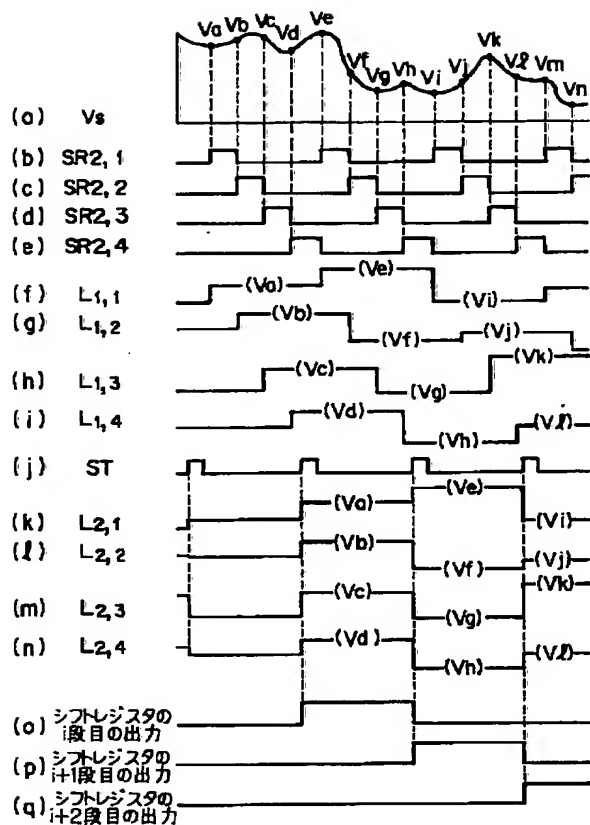
【図1】



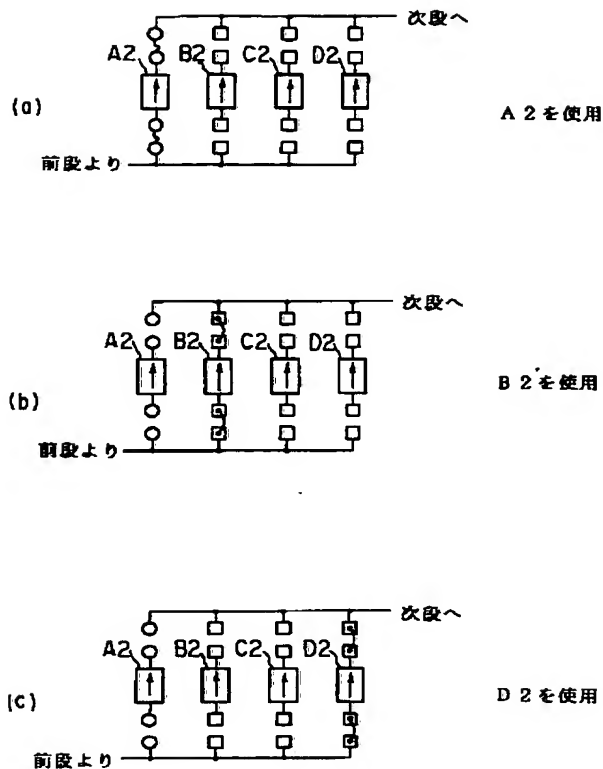
【図2】



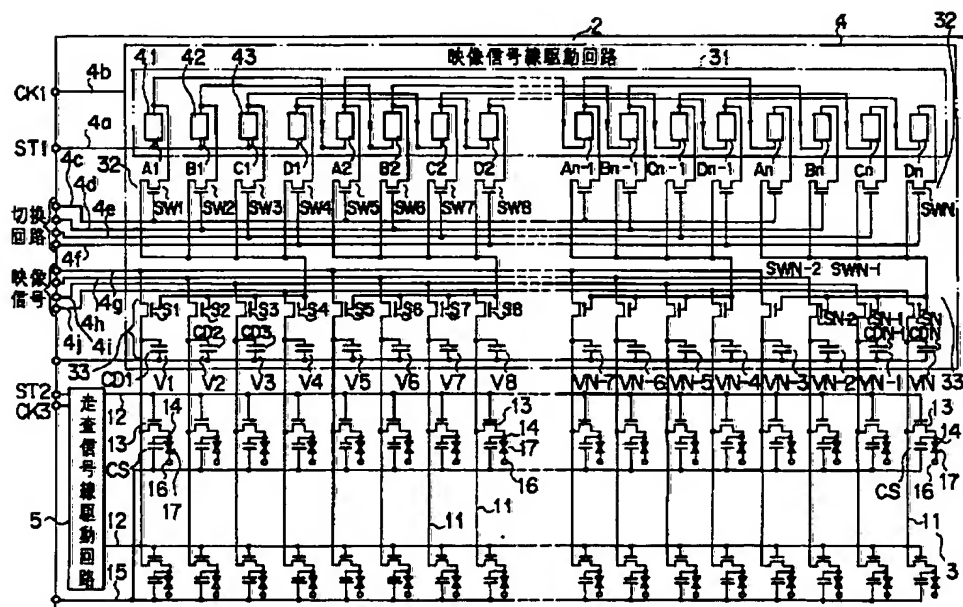
【図3】



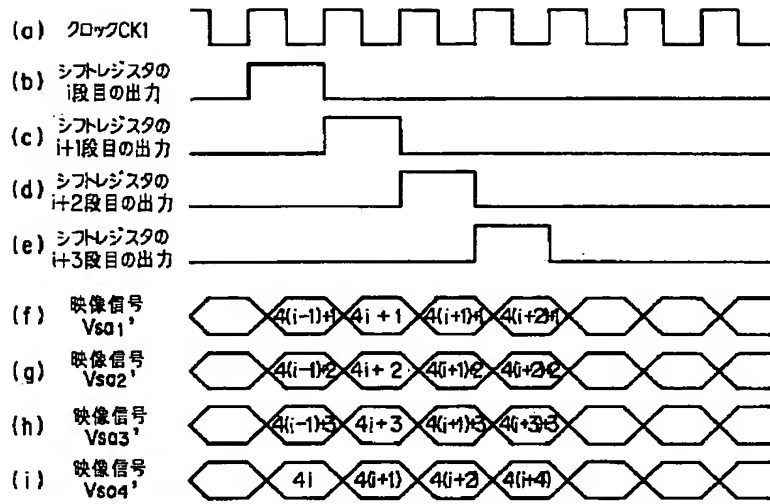
【図8】



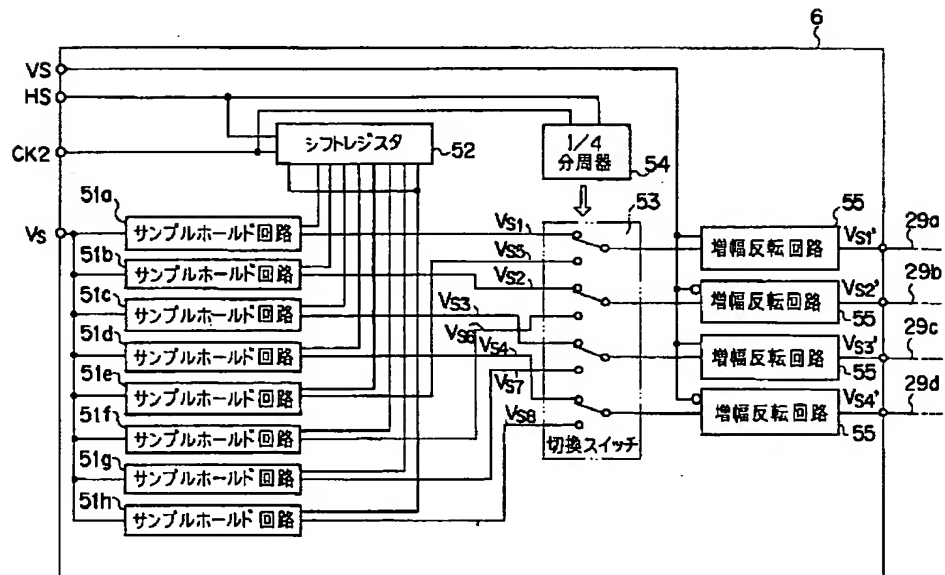
【図4】



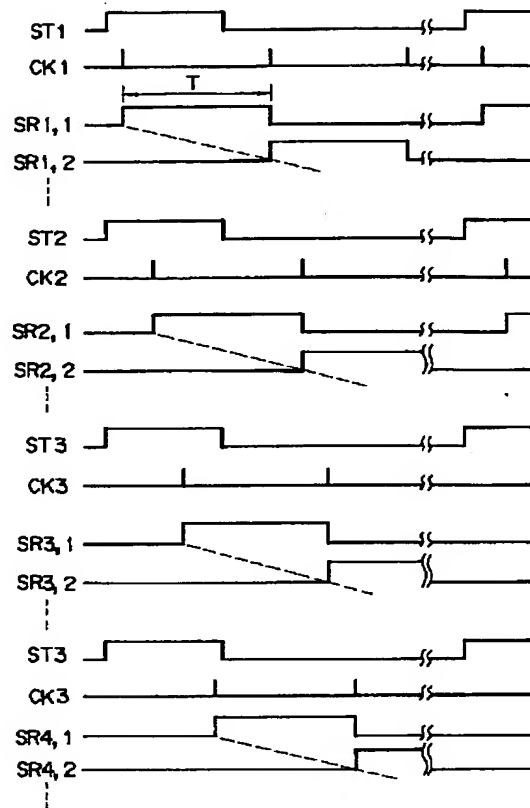
【図5】



【図6】



【図10】



フロントページの続き

(51) Int. Cl. ⁵

H01L 29/784

識別記号

庁内整理番号

F I

技術表示箇所